

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年4月3日 (03.04.2003)

PCT

(10) 国際公開番号  
WO 03/028124 A1

- (51) 国際特許分類: H01L 45/00, 27/10, 29/06  
(21) 国際出願番号: PCT/JP02/09759  
(22) 国際出願日: 2002年9月24日 (24.09.2002)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2001-292392 2001年9月25日 (25.09.2001) JP  
(71) 出願人 (米国を除く全ての指定国について): 科学  
技術振興事業団 (JAPAN SCIENCE AND TECHNOL-  
OGY CORPORATION) [JP/JP]; 〒332-0012 埼玉県 川

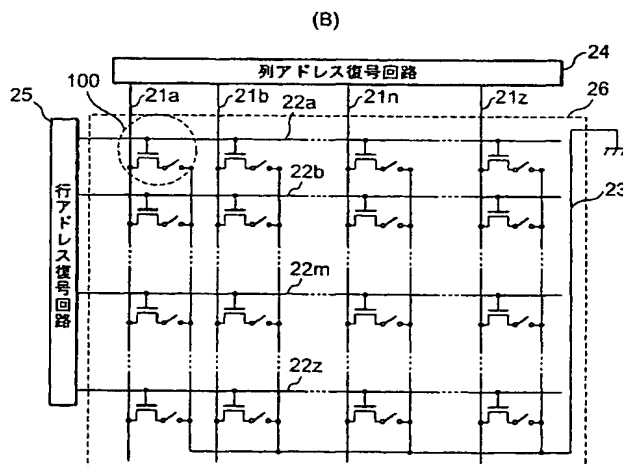
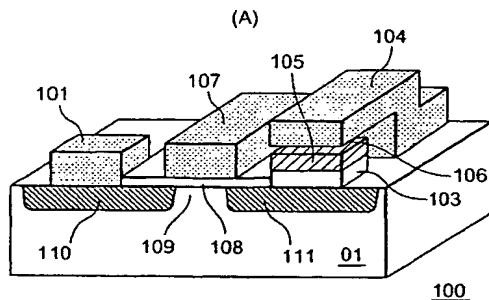
口市 本町四丁目 1 番 8 号 Saitama (JP). 理化学研究所  
(RIKEN) [JP/JP]; 〒351-0198 埼玉県 和光市 広沢 2 番  
1 号 Saitama (JP). 日本電気株式会社 (NEC CORPO-  
RATION) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目  
7 番 1 号 Tokyo (JP).

- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 阪本 利司  
(SAKAMOTO, Toshitsugu) [JP/JP]; 〒108-8001 東京都  
港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo  
(JP). 青野 正和 (AONO, Masakazu) [JP/JP]; 〒140-0001  
東京都 品川区 北品川 4-3-3 Tokyo (JP). 長谷川 剛  
(HASEGAWA, Tsuyoshi) [JP/JP]; 〒153-0063 東京都  
目黒区 目黒 2-2-8-5 0 1 Tokyo (JP). 中山 知信  
(NAKAYAMA, Tomonobu) [JP/JP]; 〒340-0052 埼玉県

[続葉有]

(54) Title: ELECTRIC DEVICE COMPRISING SOLID ELECTROLYTE

(54) 発明の名称: 固体電解質を用いた電気素子



25... ROW ADDRESS DECODING CIRCUIT  
24... COLUMN ADDRESS DECODING CIRCUIT

(57) Abstract: A switch comprising a transistor for select-  
ing a storage cell and a solid electrolyte. In a storage cell,  
a metal is formed over a drain diffusion layer of a field-ef-  
fect transistor fabricated on the surface of a semiconductor  
substrate. A solid electrolyte the carriers of which are the  
metal is formed on the metal. The solid electrolyte is in con-  
tact with the metal with a space therebetween, and the metal  
is connected to a common ground line. The source of the  
field-effect transistor is connected to a column address line,  
and the gate of the transistor is connected to the row address  
line.

BEST AVAILABLE COPY

[続葉有]

WO 03/028124 A1



草加市 金明町 4 6 3-6-5 0 2 Saitama (JP). 寺部  
一 弥 (TERABE, Kazuya) [JP/JP]; 〒335-0031 埼玉県  
戸田市 美女木 1-1 9-9-4 0 2 Saitama (JP). 川浦  
久雄 (KAWAURA, Hisao) [JP/JP]; 〒108-8001 東京都  
港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo  
(JP). 杉林 直彦 (SUGIBAYASHI, Naohiko) [JP/JP]; 〒  
108-8001 東京都 港区 芝五丁目 7 番 1 号 日本電気株  
式会社内 Tokyo (JP).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(74) 代理人: 後藤 洋介, 外 (GOTO, Yosuke et al.); 〒105-  
0003 東京都 港区 西新橋 1 丁目 4 番 1 0 号 第三森ビ  
ル Tokyo (JP).

(81) 指定国 (国内): CN, JP, US.

---

(57) 要約:

本発明は、記憶セルの選択のためのトランジスタと固体電解質を用いたスイッ  
チに関する。記憶セルにおいては、半導体基板表面に形成された電界効果トンラ  
ンジスタのドレイン拡散層上に金属が積層されている。金属上に金属をキャリア  
ーとする固体電解質が積層されている。固体電解質と金属が空隙を介して接し、  
金属が共通接地線に接続されている。電界効果トランジスタのソースが列アドレ  
ス線に接続され、電界効果トランジスタのゲートが行アドレス線に接続されてい  
る。

## 明 細 書

固体電解質を用いた電気素子

## 技術分野

本発明は、主に、固体電解質を用いた電気素子に関する。特に、固体電解質を用いた高集積化および高速化が可能な不揮発性記憶装置とその製造方法に関する。

## 背景技術

今日の高度情報化社会において、大量の情報を一時的あるいは半永久的に保持する記憶装置は必要不可欠である。なかでも、コンピュータに用いられているダイナミックメモリ（DRAM）、フラッシュメモリやリードオンリーメモリ（ROM）などはよく知られている。

第1の従来例はフラッシュメモリである。フラッシュメモリーの記憶セルは浮遊ゲート型トランジスタ1個からなる。ソース、ドレイン間のチャネル領域と制御ゲート電極と間に設けた浮遊ゲート電極を情報の蓄積ノードとして利用する。

浮遊ゲート電極の帯電状態を情報の”0”と”1”に対応させる。浮遊ゲート電極は周囲を絶縁膜で囲まれているために、ここに蓄えられた電荷は電源遮断後も失われることなく、不揮発性が実現される。読み出し動作は、浮遊ゲート電極に蓄えられた電荷量に応じてしきい電圧が変化することを利用して行う。情報の書き込み・消去動作は、酸化膜を介したトンネル電流によって電子を浮遊ゲートに注入あるいは浮遊ゲート電極から電子を放出させることによって行う。

第2の従来例は、固体電解質中の電気化学反応を用いた量子ポイントコンタクトスイッチである（リケンレビュー、37号、7ページ、2001年参照）。固体電解質は、固体中を溶液中のように自由にイオンが移動できる物質のことで、これまでに多くの陽イオンや陰イオンの伝導を示す材料が見出されている。電界を加えるとキャリアーとなる金属イオンが固体中を移動して電流を運ぶ。

上記文献には、銀イオン導電性固体電解質である硫化銀を利用したスイッチについて述べられている。銀線の表面を硫化して硫化銀を形成し、白金線と微小な

空隙を接近させる。硫化銀に正、白金に負の電圧を加えると、硫化銀内の銀イオンが表面に銀原子として析出し、白金との間の空隙に銀の架橋ができ、ポイントコンタクトが形成される。硫化銀と白金間には、架橋が形成されていない場合には電流はほとんど流れないが、架橋が形成されると電流が流れるようになる。

架橋の形成と消失はマイクロ秒以下の高速で起こる。また、架橋を流れる電流は量子化される。電流の量子化は、架橋が数個の原子鎖でできていて、サイズがナノメートルオーダーであることを示している。スイッチとして用いると、高速動作、低消費電力、さらに高集積化が可能である。従来例では、スイッチやメモリへ応用した際には、新規素子の作製に繋がるということが述べられている。

第1の従来例のフラッシュメモリは、低ビットコストを特徴としてきた素子であり、他のメモリーに対して有利なビットコストを実現していく必要がある。そのためには、記憶セルのスケーリングが今後進むと考えられる。しかし、現状では見通しは明るくない。その原因の一つが、書き換え回数増大とともに発生するトンネル酸化膜リーク電流にある。

リーク電流は浮遊ゲート電極に蓄えられた電荷を消失させる致命的な現象である。酸化膜の薄膜化とともに急激に増大するため、トンネル酸化膜を薄膜化するのは困難であると考えられている。薄膜化に頼らないスケーリングを考える必要が生じている。

第2の従来例では、空隙を設ける際に、走査型トンネル顕微鏡を用いる方法と、2本の金属線を手で持って近づける方法が用いられている。走査型トンネル顕微鏡を用いる方法では、一つの空隙を制御良く形成できる利点はあるが、多数の空隙を作製するには適していない。硫化銀線あるいは白金線を手で持って近づける方法は制御性が悪く、同様に多数の空隙を作製するのには適していない。さらに、第2の従来例のように銀線上の硫化銀では1つの記憶セルのサイズがミリメートルオーダーであり、集積化には向いていない。したがって、記憶装置として集積化することはできない。

そこで、本発明の目的は、固体電解質を用いた記憶装置を提供し、特に、集積化に有利な回路構成を有する記憶装置とその製造方法を提供することにある。

## 発明の開示

本発明では、記憶セルの選択のためのトランジスタと固体電解質スイッチを備えたことを特徴とする（図3（A）参照）。詳しく述べると、本発明の代表的な形態による記憶セルは、半導体基板表面に形成された電界効果トランジスタのドレイン領域上に第一の金属薄膜が積層され、該第一の金属薄膜上に第一の金属薄膜の金属イオンをキャリアーとする固体電解質が積層され、該固体電解質と第二の金属薄膜が空隙を介して交差し、該第二の金属薄膜が共通接地線に接続され、該電界効果トランジスタのソースが列アドレス線に接続され、該電界効果トランジスタのゲートが行アドレス線に接続されていることを特徴とする（図3（B）参照）。

本発明の別の実施形態によれば、記憶セルが1つのダイオードと1つの固体電解質スイッチを備えたことを特徴とする（図4（A）参照）。詳しく述べると、半導体基板表面に形成されたダイオードの一方の電極上に第一の金属薄膜が配置され、該第一の金属薄膜上に該第一の金属薄膜の金属イオンをキャリアーとする固体電解質が配置され、該固体電解質上に空隙を介して第二の金属薄膜が配置され、該第二の金属薄膜が行アドレス線に接続され、該ダイオードの他方の電極が列アドレス線に接続されることを特徴とする（図4（B）参照）。

本発明のさらに別の実施形態によれば、記憶装置の構成要素となる1つの記憶セルが1つの固体電解質スイッチを備えることを特徴とする（図5（A）参照）。詳しく述べると、半導体基板表面に形成された行アドレス線と接続される第一の金属薄膜の一部が、該第一の金属薄膜の金属イオンをキャリアーとする固体電解質であり、該固体電解質と列アドレス線と接続される第二の金属薄膜と空隙を介して交差していることを特徴とする（図5（B）参照）。

さらに、固体電界質スイッチを高集積化するために、犠牲層を用いて空隙を制御良く作製する必要がある。空隙を作製する際の犠牲層として、電子ビームレジストであるカッリクスアレーン系レジストやポリスチレン、ポリイミドなどの熱硬化性樹脂、シリコン酸化膜やシリコン窒化膜などの、フォトレジストの現像液およびフォトレジストの溶媒に不溶な材料を用いることを特徴とする。

本発明の代表的な実施形態の構成要素である固体電解質スイッチは、半導体基

板 0 1 上の絶縁膜 5 2 上に配置されている (図 6 (B))。その絶縁膜 5 2 上に第一の金属薄膜 5 3 と、金属薄膜 5 3 上に金属薄膜の金属イオンをキャリアとする固体電解質 5 5 が配置され、さらに空隙 5 6 を介して第二の金属薄膜 5 4 が設置されている。固体電解質を用いたスイッチの特性は、第一の金属薄膜 5 3 を接地して、第二の金属薄膜 5 4 に加える電圧を所定の範囲で繰り返し増減させるとき、第二の金属薄膜 5 4 に流れる電流が室温においてヒステリシスを示すものである (図 6 (A))。

図 6 (A) のように、第二の金属薄膜 5 4 に印加する電圧を第 1 の電圧 ( $-0.2\text{ V}$ ) と第 2 の電圧 ( $0.5\text{ V}$ ) の間で上下すると、室温において第二の金属薄膜 5 4 を流れる電流にヒステリシスを示す。 $0\text{ V}$  から負の方向に電圧を減じると、 $-0.2\text{ V}$  付近で電流が流れる。抵抗値は  $20\text{ }\Omega$  程度である。電圧を正の方向に掃引すると、 $+0.06\text{ V}$  で電流が急激に減少する。 $-0.2$  から  $0.06\text{ V}$  の間では、抵抗にして  $2$  桁以上の違いがある双安定状態が実現できることがわかる。電圧が小さい場合に ( $-0.2$  から  $0.06\text{ V}$ ) は、双安定状態は保持され、ラッチ機能が実現されていることがわかる。第一の金属薄膜 5 3 上の固体電解質 5 5 においてスイッチ動作およびラッチ動作をすることは従来知られていなかったことであり、発明者らが実験的に発見したものである。図 6 A の実験では第一の金属薄膜 5 3 は銀薄膜、固体電解質 5 5 は硫化銀薄膜、第二の金属 5 4 は白金である。

上記のヒステリシス特性は、図 6 (B) を用いて以下のように説明できる。

第一の金属薄膜 5 3 を接地して、第二の金属薄膜 5 4 に負の電圧を加えると、第二の金属薄膜 5 4 からトンネル電流で電子が固体電解質 5 5 に供給され、固体電解質表面に金属イオンが還元されて金属 5 7 が析出する。析出が繰り返されると、空隙 5 6 が狭まり、ついには第二の金属薄膜 5 4 との間で架橋が形成される。このとき、固体電解質 5 5 と第二の金属薄膜 5 4 が電氣的に接続され、電流が流れる。一方、第二の金属薄膜 5 4 に正の電圧を加えると、析出した金属 5 7 の架橋が酸化され、固体電解質 5 5 中へと拡散されていく。酸化が繰り返されると、ついには空隙 5 6 が生じ、固体電解質 5 5 と第二の金属薄膜 5 4 は電氣的に切断される。

以上より、1つの固体電解質スイッチにおいて電流のオン、オフが可能であることがわかった。さらにオン、オフの状態はある電圧以下では保持されており、ラッチ機能を備えていることがわかった。このラッチ機能を用いれば、情報の書き込み、保持、読み出しといったメモリ動作が可能である。固体電解質スイッチは、原理上、原子サイズ程度の大きさがあればよく、従来の電気素子よりもはるかに微細化が可能である。

金属薄膜と固体電解質の間の空隙の作製においては、有機溶剤やフォトレジストの現像液などには溶けない材質を用いる。例えば、カリックスアレーンは、電子ビームに露光されると、分子同士が結合してサイズの大きいポリマーを形成する。形成されたポリマーは、フォトレジストの溶媒や現像液などには溶けない安定な物質である。一方、有機物であるため、酸素アッシングなどの酸素プラズマ処理によって炭化し、取り除くことができる。以上より、固体電解質を用いたスイッチにおける空隙を制御よく制御することが可能であり、多数の素子を集積化できる。

図14(A)は、固体電解質55に硫化銅、第二の金属薄膜54にチタン、第一の金属薄膜に銅を用いた固体電解質スイッチの電流電圧特性を示している。

固体電解質スイッチのオン状態とオフ状態間の遷移が起こる電圧は、それぞれ-1V以上、1V以下である。図14(B)に示すように、-3から5Vの範囲で電圧を同じ固体電解質スイッチに印加すると、オン状態とオフ状態の遷移が起こる電圧が大きくなっているのがわかる。

オン状態からオフ状態への遷移は3V、逆にオフ状態からオン状態への遷移は-3Vである。遷移電圧の変化は、固体電解質中の銅イオンの動きによるものであり、上記のイオン欠乏層の広がりと関係している。印加電圧の大きさによって遷移電圧を制御できることは、従来知られていなかったことであり、発明者らが実験的に発見したものである。

#### 図面の簡単な説明

図1(A)は、本発明の第1の実施形態に係る固体電解質スイッチを示す図である。

図1 (B) は、本発明の第2の実施形態に係る固体電解質スイッチを示す図である。

図2 は、本発明の第3の実施形態に係る固体電解質トランジスタの構造を示す図である。

図3 (A) は、本発明の第4の実施形態に係る記憶セルを示す構造図である。

図3 (B) は、図3 (A) に示された記憶セルを使用した記憶装置を示す回路図である。

図4 (A) は、本発明の第5の実施形態に係る記憶セルを示す構造図である。

図4 (B) は、図4 (A) に示された記憶セルを含む記憶装置を示す回路図である。

図4 (C) は、図4 (A) に示された記憶セルの変形例を示す図である。

図5 (A) は、本発明の第6の実施形態に係る記憶セルを示す構造図である。

図5 (B) は、図5 (A) に示された記憶セルを含む記憶装置を示す回路図である。

図6 (A) は、本発明に係る固体電解質スイッチの電流電圧特性を示す図である。

図6 (B) は、本発明に係る固体電解質スイッチの原理的な動作を説明するための図である。

図7 (A)、(B)、(C) 及び (D) は、図1 (A) に示された固体電解質スイッチの作製方法を工程順に説明するための図である。

図8 (A)、(B)、(C) 及び (D) は、図1 (B) に示された固体電解質スイッチの作製方法を工程順に説明するための図である。

図9 (A)、(B)、(C) 及び (D) は、図2 に示された固体電解質トランジスタの作製方法を工程順に説明するための図である。

図10 (A) 及び (B) は、本発明の各実施形態に係わる固体電解質スイッチおよびビアホール中に固体電解質スイッチを示す図である。

図11 は、論理ブロック、配線および固体電解質スイッチから構成される本発明のFPGAを示す図である。

図12 は、第7の実施形態に係わる固体電解質スイッチの製造方法の各工程を



示す断面図である。

図13は、第8の実施形態に係わる固体電解質スイッチの製造方法の各工程を示す断面図である。

図14(A)、(B)は、本発明の電圧を制御する方法を示したもので、電圧を変化させた際の固体電解質スイッチの電流電圧特性を示す図である。

#### 発明を実施するための最良の形態

本発明の実施の形態について図面を参照して詳細に説明する。

##### (第1の実施形態)

図1(A)に本実施形態による固体電解質スイッチ10Aの構造図を示す。

固体電解質スイッチ10Aは、シリコンのような半導体基板01から成る。半導体基板01上に2000Åから20000Å程度の厚さの絶縁膜02を配置する。絶縁膜02は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などから作られる絶縁膜でよい。絶縁膜02上には、第一の金属薄膜03が配置され、第一の金属薄膜03上に第一の金属薄膜03の材料である金属イオンをキャリアとする固体電解質05が配置される。金属薄膜03は例えば銀などの金属で、膜厚は2000Åから20000Åであればよい。固体電解質05は例えば硫化銀で、膜厚は20Åから2000Åであればよい。固体電解質05上には空隙06を介し、第二の金属薄膜04が配置される。

1つの例として、絶縁膜02にシリコン酸化膜、第一の金属薄膜03に銀薄膜、固体電解質05に硫化銀、第二の金属薄膜04に白金を用いた場合の固体電解質スイッチの製造方法について図7(A)から図7(D)に沿って述べる。

シリコン基板上01に膜厚300nmのシリコン酸化膜62を熱酸化法によって形成し、さらに、膜厚2500Åの銀薄膜を真空蒸着法あるいはスパッタ法によって形成する(図7(A))。

その後、ウェットエッチング法あるいは反応性イオンエッチング法によって細線に加工する。細線の加工はリフトオフ法を用いてもよい。銀薄膜63の形成の後、硫化を行う(図7(B))。銀薄膜63の硫化には2つの方法がある。硫化の

第1の方法は、銀薄膜63が形成されたシリコン基板を硫黄粉末とともにるつばに入れ、窒素雰囲気のパーク炉において130度に加熱する。硫化中に銀薄膜の伝導度を測定することによって、硫化の程度を知ることができ、銀薄膜63の硫化を制御よく行うことができる。硫化は伝導度が2分の1程度になるまで行う。

硫化の第2の方法は、窒素で希釈した硫化水素中で、基板を120度から300度に加熱して行う。この場合も、銀薄膜63の抵抗を測定することで、制御よく硫化を行うことができる。本硫化工程によって、銀薄膜の表面は黒色の硫化銀に変化する。硫化銀は自然界に存在する安定な物質であり、以下に続く工程において劣化することなく、また、経時劣化もない。

次に、カリックスアレーンレジストをスピコートした後、電子ビーム描画装置により硫化銀65の一部を覆うように矩形パターンのカリックスアレーンレジスト67を形成する(図7(C))。露光後に現像およびリンスを行った後、カリックスアレーンは化学的に安定なポリマーに変化する。そのため、フォトリソの溶剤や現像液などに溶けない。カリックスアレーンの膜厚は、スピコートの際の回転数およびカリックスアレーンの濃度を変えることで調整することができる。5重量%のカリックスアレーン(溶媒はモノクロロベンゼン)を用い、回転数4000rpmであると、膜厚は170nmである。膜厚の調整は10nmのオーダーで正確に行うことが可能である。

次に、白金薄膜64を形成する。白金薄膜を真空蒸着法あるいはスパッタ法によって形成した後、ウェットエッチング法あるいは反応性イオンエッチング法によって細線に加工する。細線の加工はリフトオフ法を用いてもよい。硫化銀65と重なる部分では、硫化銀上に形成されたカリックスアレーンレジスト67が存在し、硫化銀65と白金薄膜64は接触することはない。

最後に、酸素アッシングまたは有機溶剤によりカリックスアレーンレジスト67を取り除く(図7(D))。アッシングでは有機物を炭化させることによって取り除くので、硫化銀や白金にダメージを与えることなくレジスト67を選択的に取り除くことができる。カリックスアレーンレジスト67が取り除かれると、硫化銀と白金との間に空隙66ができる。空隙の間隔は、カリックスアレーンレジスト67の膜厚を変えることで調整することができる。

固体電解質スイッチ 10 の動作方法を図 7 (D) を参照しながら説明する。

銀薄膜 63 を接地して、白金薄膜 64 に負の電圧 ( $-0.2\text{ V}$  以上) を加えると、スイッチがオンする。一方、白金薄膜 64 に正の電圧 ( $0.06\text{ V}$  以上) を加えると、スイッチはオフする。電圧を印加しない場合や、印加電圧が小さい場合 ( $-0.20$  から  $0.06\text{ V}$ ) には、オンの状態あるいはオフの状態が維持される。

本実施例ではカリックスアレーンレジスト 67 を取り除いて空隙 66 を形成したが、カリックスアレーンレジスト 67 を残した状態においてもスイッチング動作を確認することができた。銀の架橋の形成時に、柔らかい材質であるカリックスアレーンを押しのけて銀析出が進行し、架橋が形成できたものと考えられる。したがって、柔らかい物質を犠牲層として用いる場合には、犠牲層を必ずしも取り除く必要はない。

#### (第 2 の実施形態)

図 1 (B) に本実施形態の別の形態の固体電解質スイッチ 10 B の構造図を示す。

固体電解質スイッチ 10 B は、シリコンのような半導体基板 01 から成る。半導体基板 01 上に  $20\text{ Å}$  から  $200\text{ Å}$  程度の厚さの絶縁膜 02 を配置する。絶縁膜 02 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などから作られる絶縁膜でよい。絶縁膜 02 上には、第二の金属薄膜 04 が配置され、第二の金属薄膜 04 上に空隙 06 を介し、固体電解質 05 が配置される。

金属薄膜 04 は、例えば白金などの金属で、膜厚は  $200\text{ Å}$  から  $2000\text{ Å}$  であればよい。固体電解質 05 は例えば硫化銀で、膜厚は  $20\text{ Å}$  から  $2000\text{ Å}$  であればよい。固体電解質 05 上に固体電解質 05 のキャリアーである金属イオンを材料とする第一の金属薄膜 03 が配置される。固体電解質 05 に硫化銀を用いたとすると、第一の金属薄膜 03 は銀薄膜でよい。

1 つの例として、絶縁膜 02 にシリコン酸化膜、第一の金属薄膜 03 に銀薄膜、固体電解質 05 に硫化銀、第二の金属薄膜 04 に白金を用いた場合の固体電解質

スイッチの製造方法について図8 (A) から図8 (D) に沿って述べる。

シリコン基板上01に膜厚300 nmのシリコン酸化膜72を熱酸化法によって形成し、さらに、膜厚2500オングストロームの白金薄膜を真空蒸着法あるいはスパッタ法によって形成する(図8 (A))。その後、ウェットエッチング法あるいは反応性イオンエッチング法によって細線に加工する。細線の加工はリフトオフ法を用いてもよい。

次に、カリックスアレーンレジストをスピコートした後、電子ビーム描画装置により白金薄膜74の一部を覆うように矩形パターンのカリックスアレーンレジスト77を形成する(図8 (B))。露光後に現像およびリンスを行った後、カリックスアレーンは化学的に安定なポリマーに変化する。そのため、フォトレジストの溶剤や現像液などに溶けない。カリックスアレーンの膜厚は、スピコートの際の回転数およびカリックスアレーンの濃度を変えることで調整することができる。5重量%のカリックスアレーン(溶媒はモノクロロベンゼン)を用い、回転数4000 rpmであると、膜厚は170 nmである。膜厚の調整は10 nmのオーダーで正確に行うことが可能である。

次に、銀薄膜を形成し、硫化を行う。銀薄膜の硫化には2つの方法がある。硫化の第1の方法は、銀薄膜が形成されたシリコン基板を硫黄粉末とともにるつぼに入れ、窒素雰囲気の中において130度に加熱する。硫化の第2の方法は、窒素で希釈した硫化水素中で、基板を120度から300度に加熱して行う。

本工程によって、銀薄膜の表面は黒色の硫化銀に変化する。硫化銀は自然界に存在する安定な物質であり、以下に続く工程において劣化することなく、また、経時劣化もない。銀薄膜の硫化を行った結果、硫化銀薄膜75が形成される(図8 (C))。

次に、酸素アッシングまたは有機溶剤によりカリックスアレーンレジスト77を取り除く(図8 (D))。アッシングでは有機物を炭化させることによって取り除くので、硫化銀や白金にダメージを与えることなくレジスト77を選択的に取り除くことができる。カリックスアレーンレジスト77が取り除かれると、硫化銀と白金との間に空隙76ができる。空隙の間隔は、カリックスアレーンレジスト77の膜厚を変えることで調整することができる。最後に、硫化銀薄膜75上

に、銀薄膜 73 を真空蒸着法あるいはスパッタ法によって形成する。

固体電解質スイッチ 10 の動作方法を図 8 (D) を参照しながら説明する。

銀薄膜 73 を接地して、白金薄膜 74 に負の電圧 ( $-0.2$  V 以上) を加えると、スイッチがオンする。一方、白金薄膜 74 に正の電圧 ( $0.06$  V 以上) を加えると、スイッチはオフする。電圧を印加しない場合や、印加電圧が小さい場合 ( $-0.2$  から  $0.05$  V) には、オンの状態あるいはオフの状態が維持される。

### (第 3 の実施形態)

図 2 に本実施形態による固体電解質トランジスタ 20 の構造図を示す。

固体電解質トランジスタ 20 は、シリコンのような半導体基板 01 から成る。半導体基板 01 上に  $20$  オングストロームから  $200$  オングストローム程度の厚さの絶縁膜 12 を配置する。絶縁膜 12 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などから作られる絶縁膜でよい。絶縁膜 12 上には、金属薄膜 13 が配置され、金属薄膜 13 内に金属薄膜 13 の材料である金属イオンをキャリアーとする固体電解質 15 が配置される。金属薄膜 13 は、例えば銀などの金属で、膜厚は  $200$  オングストロームから  $2000$  オングストロームであればよい。固体電解質 15 は、例えば、硫化銀で、膜厚は  $20$  オングストロームから  $2000$  オングストロームであればよい。

固体電解質 15 上には絶縁膜 18 が配置され、絶縁膜 18 上にゲート電極 17 が配置される。絶縁膜は  $20$  オングストロームから  $200$  オングストローム程度の厚さのシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などから作られる絶縁膜でよい。金属薄膜 13 の両端には、ソース電極 11、ドレイン電極 14 が配置される。ソース電極、ドレイン電極、ゲート電極は、膜厚が  $500$  から  $2000$  オングストロームのアルミニウムや金薄膜などでよい。

1 つの例として、絶縁膜 12 にシリコン酸化膜、金属薄膜 13 に銀薄膜、固体電解質 15 に硫化銀を用いた場合の固体電解質トランジスタの製造方法について図 9 (A) から図 9 (D) に沿って述べる。

シリコンのような半導体基板 01 上に膜厚  $300$  nm のシリコン酸化膜を熱酸化法によって形成する (図 9 (A))。

膜厚2500オングストロームの銀薄膜83を真空蒸着法あるいはスパッタ法によって形成し、さらにソース電極81、ドレイン電極84を真空蒸着法あるいはスパッタ法によって形成する(図9(B))。この後、硫化を行う(図9(C))。銀薄膜83の硫化には2つの方法がある。

硫化の第1の方法は、銀薄膜83が作製されたシリコン基板を硫黄粉末とともにつばに入れ、窒素雰囲気中のベーク炉において130度に加熱する。銀薄膜83の硫化には2つの方法がある。硫化の第1の方法は、銀薄膜83が形成されたシリコン基板を硫黄粉末とともにつばに入れ、窒素雰囲気中のベーク炉において130度に加熱する。硫化中に銀薄膜の伝導度を測定することによって、硫化の程度を知ることができ、銀薄膜83の硫化を制御よく行うことができる。硫化は伝導度が10分の1程度になるまで行う。

硫化の第2の方法は、窒素で希釈した硫化水素中で、基板を120度から300度に加熱して行う。この場合も、銀薄膜83の抵抗を測定することで、制御よく硫化を行うことができる。本硫化工程によって、銀薄膜は黒色の硫化銀に変化する。硫化銀は自然界に存在する安定な物質であり、以下に続く工程において劣化することなく、また、経時劣化もない。本工程により硫化銀75が銀薄膜84中に形成される。

次に、絶縁膜88を形成する(図9(D))。絶縁膜88は、シリコン酸化膜、窒化シリコン膜、酸窒化シリコン膜などから作られる絶縁膜でよく、気相成長法などによって形成する。膜厚は20オングストロームから2000オングストロームであればよい。絶縁膜88上に、スパッタ法によりアルミニウムを材料とするゲート電極87を形成する。膜厚は500オングストロームから2000オングストロームであればよい。

固体電解質トランジスタ20の動作方法を図9(D)を参照しながら説明する。

ソース電極81を接地し、ドレイン電極84に微小な正の電圧(10mV程度)を加える。ゲート電極87に負の電圧(-1V程度)を加えると、硫化銀85と絶縁膜82の間にはさまれた銀薄膜中の銀イオンがゲート電極に引き付けられて、硫化銀85中に移動する。銀が移動することで、空隙が生じ、ソース電極81からドレイン電極84にいたる電流経路が遮断され、トランジスタがオフする。逆

に、ゲート電極 87 に正の電圧（1 V 程度）を印加すると、銀が硫化銀 85 から析出し、空隙を埋める。このとき、電流経路が形成され、トランジスタがオンする。

（第 4 の実施形態）

図 3（A）に本実施形態による記憶セル 100 の構造図を、図 3（B）に記憶装置の回路図を示す。

記憶セル 100 は、シリコンのような半導体基板 01 から成る。基板 01 内には、チャネル領域 109 を間に有するソース領域 110 とドレイン領域 111 とを形成する。ソース領域 110 の一部とチャネル領域 109 とドレイン領域 111 の一部とを覆って、200 オングストロームから 2000 オングストローム程度の厚さの絶縁膜 108 を配置する。絶縁膜 108 は、シリコン酸化膜、窒化シリコン膜、酸窒化シリコン膜などから作られる絶縁膜でよい。

ソース領域上にはソース電極 101 が、絶縁膜 108 上にはゲート電極 107 が配置される。電極の材料は、アルミニウム、銀、金などの金属や、高濃度にドーピングしたポリシリコンでよい。ドレイン領域 111 上には、第一の金属薄膜 103 が配置され、第一の金属薄膜 103 上に金属薄膜 103 の材料である金属イオンをキャリアーとする固体電解質 105 が配置される。

金属薄膜 103 は例えば銀などの金属で、膜厚は 2000 オングストロームから 20000 オングストロームであればよい。固体電解質 105 は、例えば、硫化銀で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 105 上には空隙 106 を介し、第二の金属薄膜 104 が配置される。

記憶装置には、記憶セル 100 の記憶セルアレイ 26 が備えられる。記憶装置の周辺回路には、従来技術により作製可能な列アドレス復号回路 24 と行アドレス復号回路 25 が含まれている。記憶セルアレイ 26 に対する各記憶セル 100 との接続は以下のようにになっている。

すなわち、各記憶セルの第二の金属薄膜 104 のすべては共通接地線 23 を介して相互に接続され、接地されている。同一列中の各記憶セル 100 のソース電極 101 は、列アドレス線を介して相互に接続されている。例えば、列アドレス線 21a と左端列中の各記憶セル 100 からのソース電極 101 とが接続されて

いる。同一行中の各記憶セル100のゲート電極107は、行アドレス線を介して相互に接続されている。例えば、行アドレス線22aと上端行中の各記憶セル100のゲート電極107とが接続されている。

本記憶装置の製造方法について説明する。

一例として、半導体基板01およびチャネル領域109としてp型シリコンが用いられ、ソース領域110およびドレイン領域111としてn型シリコンが用いられる。また、固体電解質105として硫化銀が用いられ、第二の金属薄膜104として白金薄膜が用いられる。記憶装置の周辺回路である列アドレス復号回路24や行アドレス復号回路25は従来技術である半導体加工技術を用いて作製することができる。

記憶セルアレイ26を構成する記憶セル100の内、ソース領域110、チャネル領域109、ドレイン領域111、絶縁膜108、ソース電極101、およびゲート電極107は、従来技術である半導体加工技術を用いて作製される。

さらに、第一の金属薄膜103、固体電解質105、空隙106、第二の金属薄膜104は図7(A)から図7(D)に示される本実施例1の固体電解質スイッチ10の製造方法を用いて作製される。

上記の製造方法で作製された本記憶装置の動作方法について説明する。

動作として、書き込み、消去、読み出しの各動作を記憶セルアレイ26の中の特定の一つの記憶セルに対して選択的に行われなければならない。記憶セルの選択は、選択したい記憶セルに接続されている行アドレス線と列アドレス線を指定することにより行うことができる。ここで、書き込み状態とは、固体電解質105と第二の金属薄膜104との間に架橋が形成されている場合であり、消去状態とは固体電解質105と金属薄膜104に架橋が形成されていない場合と定義する。記憶セルアレイ26内の選択した記憶セル100に書き込むには、選択した記憶セル100に係わる行アドレス線に正電圧(+1V)を印加し、かつ、選択した記憶セル100に係わる列アドレス線に正電圧(+0.2V)を印加する。このとき、選択した記憶セル100において、p型シリコンであるチャネル領域109にnチャネルが生じ、ソース領域110とドレイン領域111は電氣的に接続され、ドレイン領域111の電位はソース領域110の電位とほぼ等しくな



る。

このことにより、選択された記憶セルの固体電解質105に正電圧（約0.2 V）が印加され、共通接地線と接続されている第二の金属薄膜104との間に電位差が生じる。この電位差によって、固体電解質中の金属イオンが金属となって析出し、第二の金属薄膜104との間に架橋が形成される。記憶セル配列26内の選択した記憶セル100を消去するには、選択した記憶セル100に係わる行アドレス線に正電圧（+1 V）を印加し、かつ、選択した記憶セルに係わる列アドレス線に負電圧（-0.2 V）を印加する。このとき、p型シリコンであるチャネル領域109にnチャネルが生じ、ソース領域110とドレイン領域111は電氣的に接続され、ドレイン領域110の電位はソース領域111の電位とほぼ等しくなる。

このことにより、選択された記憶セルの固体電解質105に負電圧（約-0.2 V）が印加され、共通接地線と接続されている第二の金属薄膜104との間に電位差が生じる。この電位差によって架橋を形成している金属イオンが固体電解質105の内部への移動し、架橋は消失する。記憶セルアレイ26内の選択した記憶セル100を読み出すには、選択した記憶セル100に係わる行アドレス線に正電圧（+1 V）を印加し、かつ、選択した記憶セル100に係わる列アドレス線に微小な正電圧（0.01 V）を印加する。このとき、p型シリコンであるチャネル領域109にnチャネルが生じ、ソース領域110とドレイン領域111は電氣的に接続され、ドレイン領域111の電位はソース領域110の電位とほぼ等しくなる。

このことにより、選択された記憶セル100の固体電解質105に正電圧（約0.01 V）が印加され、共通接地線23と接続されている第二の金属薄膜104との間に電位差が生じる。架橋が形成されている場合（書き込み状態）には列アドレス線に電流は流れ、一方、架橋が形成されていない場合（消去状態）には電流は流れない。電流の有無によって記憶セル100の状態を読み取ることができる。

#### （第5の実施形態）

図4（A）に本実施形態による記憶セル200の構造図を、図4（B）に記憶

装置の回路図を示す。

記憶セル 200 は、シリコンのような半導体基板 01 から成る。基板 01 は p 型半導体である。半導体基板 01 中に n 型半導体領域 208 と p 型半導体領域 207 が配置される。n 型半導体領域 208 上には電極 201 が配置される。電極の材料は、アルミニウム、銀、金などの金属や、高濃度にドーピングしたポリシリコンでよい。

p 型半導体領域 207 には、第一の金属薄膜 203 が配置され、第一の金属薄膜 203 上に第一の金属薄膜 203 の材料である金属イオンをキャリアーとする固体電解質 205 が配置される。第一の金属薄膜 203 は、例えば銀などの金属で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 205 は、例えば、硫化銀で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 205 上には空隙 206 を介し、第二の金属薄膜 204 が配置される。

記憶装置には、記憶セル 200 の記憶セルアレイ 36 が備えられる。記憶装置の周辺回路には、従来技術により作製可能な列アドレス復号回路 34 と行アドレス復号回路 35 が含まれている。記憶セルアレイ 36 における各記憶セル 200 との接続は以下のようにになっている。すなわち、同一列中の各セル 200 の電極 201 は、列アドレス線を介して相互に接続されている。例えば、列アドレス線 31a と左端列中の各記憶セル 200 の電極 201 とが接続されている。同一行中の各記憶セル 200 の第二の金属薄膜 204 は、行アドレス線を介して相互に接続されている。例えば、行アドレス線 32a と上端行中の各記憶セル 200 の第二の金属薄膜 204 とが接続されている。

本記憶装置の製造方法について説明する。

一例として、半導体基板 01 として p 型シリコンが用いられ、n 型半導体領域 208 として n 型シリコンが用いられる。また、p 型半導体領域 207 として p 型シリコンが用いられ、固体電解質 205 として硫化銀が用いられ、第二の金属薄膜 204 として白金薄膜が用いられる。記憶装置の周辺回路である列アドレス復号回路 34 や行アドレス復号回路 35 は従来技術である半導体加工技術を用いて作製することができる。

記憶セルアレイ 36 を構成する記憶セル 200 の内、n 型半導体領域 208、p 型半導体領域 207、および電極 201 は従来技術であるの半導体加工技術を用いて作製される。さらに、第一の金属薄膜 203、固体電解質 205、空隙 206、第二の金属薄膜 204 は図 7 A から図 7 D に示される本実施例 1 の固体電解質スイッチ 10 の製造方法を用いて作製される。

図 4 (A) において、電極 201 は配線抵抗を低くしたい場合には形成する必要があるが、n 型半導体領域 208 を行アドレス線の配線として用いれば必ずしも形成する必要はない。この場合の集積度は最小加工線幅  $F$  とすると  $2F \times 2F$  の大きさで済む。

図 4 (A) の記憶セル 200 において、p 型半導体 207 および n 型半導体 208 を半導体基板中に作製する代わりに、電極 201 と第一の金属薄膜 203 の間に作製すると、1 つの記憶セルあたりの面積を小さくすることができる (図 4 (C) 参照)。

詳しく説明すると、半導体基板 01 上に 200 オングストロームから 2000 オングストローム程度の厚さの絶縁膜 202 を配置する。絶縁膜 202 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などから作られる絶縁膜でよい。絶縁膜 202 上に電極 201 が配置される。電極 201 の材料は、アルミニウム、銀、金などの金属や、高濃度にドーピングしたポリシリコンでよい。電極 201 上に n 型半導体領域 208 が配置される。

さらに、n 型半導体 208 上に p 型半導体領域 207 が配置される。n 型半導体領域 207 上には、第一の金属薄膜 203 が配置され、第一の金属薄膜 203 上に第一の金属薄膜 203 の材料である金属イオンをキャリアーとする固体電解質 205 が配置される。第一の金属薄膜 203 は、例えば銀などの金属で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 205 は、例えば、硫化銀で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 205 上には空隙 206 を介し、第二の金属薄膜 204 が配置される。

図 4 (C) の記憶セルの製造方法について説明する。

一例として、半導体基板 01 として p 型シリコンが用いられ、n 型半導体領域

208としてn型シリコンが用いられる。さらに、p型半導体領域207としてp型シリコンが用いられ、固体電解質205として硫化銀が用いられ、第二の金属薄膜204として白金薄膜が用いられる。n型半導体領域208、p型半導体領域207、および電極201は従来技術であるの半導体加工技術を用いて作製される。さらに、第一の金属薄膜203、固体電解質205、空隙206、第二の金属薄膜204は図7(A)から図7(D)に示される本実施例1の固体電解質スイッチ10の製造方法を用いて作製される。

上記の製造方法で作製された本記憶装置の動作方法について説明する。

動作として、書き込み、消去、読み出しの各動作を記憶セルアレイ36の中の特定の一つの記憶セルに対して選択的に行われなければならない。記憶セルの選択は、選択したい記憶セルに接続されている行アドレス線と列アドレス線を指定することにより行うことができる。ここで、書き込み状態とは、固体電解質205と第二の金属薄膜204との間に架橋が形成されている場合であり、消去状態とは、固体電解質固体電解質スイッチの作製方法205と第二の金属薄膜204に架橋が形成されていない場合と定義する。

記憶セルアレイ36内の選択した記憶セル200に書き込むには、選択した記憶セル200に係わる行アドレス線に正電圧(+0.2V)を印加し、かつ、選択した記憶セル200に係わる列アドレス線に負電圧(-0.2V)を印加する。このとき、選択された記憶セルの固体電解質205と第二の金属薄膜204の固体電解質スイッチ間に電位差が生じる。n型半導体領域208とp型半導体領域の境界にpn接合が形成されているため、電極201に正電圧を加えた場合には、pn接合には逆方向電圧が加わる。そのため、p型半導体領域の電位は、pn接合容量C1と固体電解質205と第二の金属薄膜204との静電容量C2の関係で決まる。C1とC2がほぼ等しいとすると、固体電解質205と第二の金属薄膜204との間の電位差は約0.2Vとなる。この電位差によって、固体電解質中の金属イオンが金属となって析出し、第二の金属薄膜204との間に架橋が形成される。

選択されていない記憶セルに係わる固体電解質205と第二の金属薄膜204の間には0.1Vの電位差が生じるだけなので、架橋は形成されない。本書き込

みの際、電流が流れないため、消費電力が少ない。記憶セル配列 36 内の選択した記憶セル 200 を消去するには、選択した記憶セル 200 に係わる行アドレス線に負電圧 ( $-0.1\text{ V}$ ) を印加し、かつ、選択した記憶セルに係わる列アドレス線に正電圧 ( $0.1\text{ V}$ ) を印加する。このとき固体電解質 205 と第二の金属薄膜 204 との間に電位差が生じる。

この電位差によって、架橋を形成している金属イオンが固体電解質の内部への移動し、架橋は消失する。記憶セルアレイ 36 内の選択した記憶セル 200 を読み出すには、選択した記憶セル 200 に係わる行アドレス線に負電圧 ( $-0.01\text{ V}$ ) を印加し、かつ、選択した記憶セル 200 に係わる列アドレス線に正電圧 ( $0.01\text{ V}$ ) を印加する。このとき、選択された記憶セル 200 の固体電解質 205 と第二の金属薄膜 204 に電位差が生じる。架橋が形成されている場合 (書き込み状態) には列アドレス線に電流は流れ、一方、架橋が形成されていない場合 (消去状態) には電流は流れない。電流の有無によって記憶セル 200 の状態を読み取ることができる。電流が隣接する記憶セルを介して流れる可能性はあるが、電流経路中にある p n 接合のいずれかが逆方向になる。そのため、隣接する記憶セルを介して電流は流れない。

#### (第 6 の実施形態)

図 5 (A) に本実施形態による記憶セル 300 の構造図を、図 5 (B) に記憶装置の回路図を示す。

記憶セル 300 は、シリコンのような半導体基板 01 から成る。半導体基板 01 上に 20 オングストロームから 200 オングストローム程度の厚さの絶縁膜 302 を配置する。絶縁膜 302 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などから作られる絶縁膜でよい。絶縁膜 302 上には、第一の金属薄膜 303 が配置され、第一の金属薄膜 303 上に第一の金属薄膜 303 の材料である金属イオンをキャリアーとする固体電解質 305 が配置される。

第一の金属薄膜 303 は、例えば銀などの金属で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 305 は、例えば、硫化銀で、膜厚は 200 オングストロームから 2000 オングストロームであればよい。固体電解質 305 上には空隙 306 を介し、第二の金属薄膜 304 が配

置される。

記憶装置には、記憶セル300の記憶セルアレイ46が備えられる。記憶装置の周辺回路には、従来技術により作製可能な列アドレス復号回路44と行アドレス固体電解質スイッチの作製方法復号回路45が含まれている。記憶セルアレイ46における各記憶セル300との接続は以下のようになっている。すなわち、同一列中の各セル300の第一の金属薄膜303は、列アドレス線を介して相互に接続されている。例えば、列アドレス線41aと左端列中の各記憶セル300からの第一の金属薄膜303とが接続されている。同一行中の各記憶セル300の第二の金属薄膜304は、行アドレス線を介して相互に接続されている。例えば、行アドレス線42aと上端行中の各記憶セル300の第二の金属薄膜304とが接続されている。

本記憶装置の製造方法について説明する。

一例として、半導体基板01としてシリコンが用いられ、固体電解質305として硫化銀が用いられ、第二の金属薄膜304として白金が用いられる。記憶装置の周辺回路である列アドレス復号回路44や行アドレス復号回路45は従来技術である半導体加工技術を用いて作製することができる。記憶セルアレイ46を構成する記憶セル300の第一の金属薄膜303、固体電解質305、空隙306、第二の金属薄膜304は、図7(A)から図7(D)に示される本実施例1の固体電解質スイッチ10の製造方法を用いて作製される。

上記の製造方法で作製された本記憶装置の動作方法について説明する。

動作として、書き込み、消去、読み出しの各動作を記憶セルアレイ46の中の特定の一つの記憶セルに対して選択的に行われなければならない。記憶セルの選択は、選択したい記憶セルに接続されている行アドレス線と列アドレス線を指定することにより行うことができる。ここで、書き込み状態とは、固体電解質305と第二の金属薄膜304との間に架橋が形成されている場合であり、消去状態とは、固体電解質305と第二の金属薄膜304に架橋が形成されていない場合と定義する。

記憶セルアレイ46内の選択した記憶セル300に書き込むには、選択した記憶セル300に係わる行アドレス線に負電圧(−0.1V)を印加し、かつ、選

択した記憶セル300に係わる列アドレス線に正電圧(+0.1V)を印加する。このとき、選択された記憶セルの固体電解質305と第二の金属薄膜304の間に電位差が生じる。固体電解質305と第二の金属薄膜304との間の電位差は0.2Vとなる。この電位差によって、固体電解質中の金属イオンが金属となって析出し、第二の金属薄膜304との間に架橋が形成される。

選択されていない記憶セルに係わる固体電解質305と第二の金属薄膜304の間には0.1V以下の電位差が生じるだけなので、架橋は形成されない。記憶セル配列46内の選択した記憶セル300を消去するには、選択した記憶セル300に係わる行アドレス線に正電圧(+0.05V)を印加し、かつ、選択した記憶セルに係わる列アドレス線に負電圧(-0.05V)を印加する。このとき固体電解質305と第二の金属薄膜304との間に電位差が生じる。この電位差によって架橋を形成している金属イオンが固体電解質の内部への移動し、架橋は消失する。記憶セルアレイ46内の選択した記憶セル300を読み出すには、選択した記憶セル300に係わる行アドレス線に負電圧(-0.01V)を印加し、かつ、選択した記第1配線層13に金属Xを用いる場合にはイオン供給層507は省くことができる。記憶セル300に係わる列アドレス線に正電圧(0.01V)を印加する。このとき、選択された記憶セル300の固体電解質305と第二の金属薄膜304に電位差が生じる。

架橋が形成されている場合(書き込み状態)には列アドレス線に電流は流れ、一方、架橋が形成されていない場合(消去状態)には電流は流れない。電流が隣接する記憶セルを介して流れる可能性はあるが、電流経路中にある抵抗によって電流値は小さく抑えられるため、隣接した記憶セルを介して流れた電流かどうかは判断できる。

#### (第7の実施形態)

図10(A)に本実施形態による固体電解質スイッチ500Aの構造図を示す。

固体電解質スイッチ500Aは、基板501上に配置される。基板501は、例えば、シリコン基板の表面が絶縁層で覆われた構造を有している。基板501上には第1配線層503が配置され、第1配線層503上にイオン供給層507が配置されている。また、イオン供給層507上に固体電解質層506が配置さ

れ、基板 501 を被覆するように層間絶縁層 502 が配置されている。固体電解質層 506 上の層間絶縁層 502 の一部が開口されてビアホールを形成し、ビアホールに対向電極層 505 が固体電解質層 506 と空隙 508 を介して近接している。さらに、対向電極層 505 を覆うように第 2 配線層 504 が配置されている。

固体電解質層 506 は、例えば、複合導電体である硫化銅で、膜厚は 20 オングストロームから 2000 オングストロームであればよい。第 1 配線層 503 は膜厚 200 から 3000 オングストロームの銅を用いる。イオン供給層 507 は固体電解質層 506 に含まれる金属イオンを材料とする。第 1 配線層 503 に銅を用いた場合は、第 1 配線層 503 自体がイオン供給層とできるため、イオン供給層 507 を省いてよい。第 1 配線層 503 が銅以外であれば、イオン供給層 507 は銅を材料として、膜厚は 20 から 500 オングストローム程度であればよい。第 2 配線層 504 は膜厚 200 から 3000 オングストロームの銅を用いる。空隙 508 の大きさは 10 オングストロームから 1000 オングストローム程度である。

固体電解質層 506 を銅以外の、金属 X の硫化物で構成する場合、イオン供給層 507 は金属 X を含む物質である必要がある。固体電解質層 506 とイオン供給層 507 の組み合わせは、上記の硫化銅—銅以外に、硫化クロム—クロム、硫化銀—銀、硫化チタン—チタン、硫化タングステン—タングステン、硫化ニッケル—ニッケルでもよい。対向電極層 505 には、上記のチタン以外に、白金、アルミニウム、銅、タングステン、バナジウム、ニオブ、タンタル、クロム、モリブデンやその窒化物、シリ化物でもよい。第 1 配線層 503 および第 2 配線層 504 は、上記の銅以外に、従来用いられる配線材料でもよく、例えば、アルミニウム、金などでよい。第 1 配線層 503 に金属 X を用いる場合にはイオン供給層 507 は省くことができる。

製造工程の 1 つの例を図 12 に沿って述べる。

シリコン基板を酸化して基板 501 を作製する。基板 501 上に膜厚 2000 オングストロームの銅薄膜を真空蒸着法あるいはスパッタ法によって形成する。その後、第 1 配線層 503 以外の領域を開口したレジストマスクを用いて、ウエ



ットエッチング法あるいは反応性イオンエッチング法によって第1配線層503の形状に加工する。

ビアホール509領域に開口を有するレジストパターンをマスクとして、開口部を硫化させる。硫化は、硫化物を含んだ水溶液中でアノード分極により行う。硫化ナトリウムを0.05モル／リットル含む水溶液に、銅薄膜を陰極としてアノード分極を行う。加える電圧は0.5V程度であり、硫化量は電流を制御して調整する。銅薄膜の表面から20から200オングストローム程度硫化したところで反応を止める。硫化されて硫化銅になった部分は固体電解質層506となり、硫化されずに残った銅の部分は第1配線層503となる。第1配線層503の材料が固体電解質を構成する金属であるために、イオン供給層507は省くことができる。

上記のアノード分極による硫化方法以外に2つの硫化方法がある。硫化の第2の方法は、銅薄膜が形成された基板501を硫黄粉末とともにるつぽに入れ、窒素雰囲気のパーク炉において130度に加熱する。硫化中に銅薄膜の伝導度を測定することによって、硫化の程度を知ることができ、銅薄膜の硫化を制御よく行うことができる。銅薄膜の表面層だけが硫化されたところで、硫化を止める。硫化の第3の方法は、窒素で希釈した硫化水素中で、基板を120度から300度に加熱して行う。この場合も、銅薄膜の抵抗を測定することで、制御よく硫化を行うことができる。本硫化工程によって、銅薄膜の表面は硫化銅に変化する。または、銅薄膜を硫化して硫化銅を形成するのでなく、硫化銅を従来技術であるスパッタ法やレーザーアブレーション法で堆積させてもよい。

次に、空隙508を作製するための犠牲層510を形成する。犠牲層510には400度から500度程度で分解するようなポリマーを用いる。例えば、熱可塑性樹脂のノルボルネン系樹脂を用いる。ノルボルネン樹脂をスピンコートにより塗布し、硬化処理する。ノルボルネン系樹脂の代わりに、フォトレジストに溶解せず、耐熱性があり、500度程度で分解するようなポリマーであればいずれでもよい。

その後、ビアホール509以外の領域を開口したレジストマスクを用いて、ウェットエッチング法あるいは反応性イオンエッチング法によってビアホール50

9の形状にノルボネン樹脂を加工し、犠牲層510とする。犠牲層510はビアホール509領域より大きいか同じ大きさであるべきである。ここまでで、図12(A)に示す構造ができる。

次に、層間絶縁層502を形成する。シリコン酸窒化膜をスパッタ法で形成する。膜形成の後、ビアホール509領域が開口されたレジストパターンをマスクとして、ドライエッチングあるいはウエットエッチングによりビアホール509を形成する(図12(B))。層間絶縁層502の材料は低誘電率膜が好ましく、形成温度が低い工程が望まれる。

次に、対向電極層505を形成する。チタンを真空蒸着法によって形成する(図12(C))。

次に、銅をスパッタ法によって積層し、第2配線層504の領域以外が開口されたレジストマスクを用いてドライエッチング法により、第2配線層504を形成する。最後に、500度程度まで温度を上げることによってノルボルネン系樹脂を分解して空隙を形成する(図12(D))。

素子作製の後、固体電解質層506と対向電極層間505に電圧±4Vを印加することによって、オフ状態からオン状態へ遷移するオン電圧、およびオン状態からオフ状態へ遷移するオフ電圧を±2V程度に設定する。電圧の設定は、使用目的によって適時変えることができる。

#### (第8の実施形態)

図10(B)に本実施形態による固体電解質スイッチ500Bの構造図を示す。

固体電解質スイッチ500Bは、基板501上に配置される。基板501は、例えば、シリコン基板の表面が絶縁層ノルボネン樹脂をスピンコートにより塗布し、硬化処理する。基板501上には、第1配線層503が配置され、第1配線層503上に対向電極層505が配置される。対向電極層505および基板501を被覆するように層間絶縁層502が配置される。対向電極層505上の層間絶縁層502の一部が開口されてビアホールを形成し、ビアホールに固体電解質層506が対向電極層505とが空隙508を介して近接している。さらに、固体電解質層506上にイオン電極層507が配置され、イオン電極層507を覆うように第2配線層504が配置されている。

固体電解質層 506 は、例えば、複合導電体である硫化銅で、膜厚は 20 オングストロームから 2000 オングストロームであればよい。第 2 配線層 504 は膜厚 200 から 3000 オングストロームの銅を用いる。イオン供給層 507 は固体電解質層 506 に含まれる金属イオンを材料とする。第 2 配線層 504 に銅を用いた場合は、第 2 配線層 504 にノルボネン樹脂をスピンコートにより塗布し、硬化処理する。504 自体がイオン供給層とできるため、イオン供給層 507 を省いてよい。

第 2 配線層 504 が銅以外であれば、イオン供給層 507 は銅を材料として、膜厚は 20 から 500 オングストローム程度であればよい。第 2 配線層 504 は膜厚 200 から 3000 オングストロームの銅を用いる。空隙 508 の大きさは 10 オングストロームから 1000 オングストローム程度である。

固体電解質層 506 を銅以外の、金属 X の硫化物で構成する場合、イオン供給層 507 は金属 X を含む物質である必要がある。固体電解質層 506 とイオン供給層 507 の組み合わせは、上記の硫化銅－銅以外に、硫化クロム－クロム、硫化銀－銀、硫化チタン－チタン、硫化タングステン－タングステン、硫化ニッケル－ニッケルでもよい。対向電極層 505 には、上記のチタン以外に、白金、アルミニウム、銅、タングステン、バナジウム、ニオブ、タンタル、クロム、モリブデンやその窒化物、シリ化物でも 509 よい。

第 1 配線層 503 および第 2 配線層 504 は、上記の銅以外に、従来用いられる配線材料でもよく、例えばアルミニウム、金などでよい。第 2 配線層 504 に金属 X を用いる場合にはイオン供給層 507 は省くことができる。

製造工程の 1 つの例を図 13 に沿って述べる。

シリコン基板を酸化して基板 501 を作製する。基板 501 上に膜厚 2000 オングストロームの銅薄膜を真空蒸着法あるいはスパッタ法によって形成する。次に、対向電極層 505 を形成する。チタンを真空蒸着法によって形成する。第 1 配線層 503 以外の領域に開口を有するレジストパターンをマスクとして、ウェットエッチング法あるいは反応性イオンエッチング法によって第 1 配線層 503 の形状に加工する。

次に、空隙 508 を作製するための犠牲層 510 を形成する。犠牲層 510 に

は400度から500度程度で分解するようなポリマーを用いる。例えば、熱可塑性樹脂のノルボルネン系樹脂を用いる。ノルボネン樹脂をスピンコートにより塗布し、硬化処理する。ノルボルネン系樹脂の代わりに、フォトレジストに溶解せず、耐熱性があり、500度程度で分解するようなポリマーであればいずれでもよい。

その後、ビアホール509以外の領域を開口したレジストマスクを用いて、ウェットエッチング法あるいは反応性イオンエッチング法によってビアホール509の形状にノルボネン樹脂を加工し、犠牲層510とする。犠牲層510は、ビアホール509領域より大きいか同じ大きさであるべきである。ここまでの、図13(A)に示す構造ができる。

次に、層間絶縁層502を形成する。シリコン酸窒化膜をスパッタ法で形成する。膜形成の後、ビアホール領域509が開口されたレジストパターンをマスクとして、ドライエッチングあるいはウェットエッチングによりビアホール509を形成する(図13(B))。層間絶縁層502の材料は低誘電率膜が好ましく、形成温度が低い工程が望まれる。

次に、固体電解質層506を形成する。膜厚2000オングストロームの銅薄膜を真空蒸着法あるいはスパッタ法によって形成する。次に、硫化物を含んだ水溶液中でアノード分極により硫化を行う。硫化ナトリウムを0.05モル/リットル含む水溶液に、銅薄膜を陰極としてアノード分極を行う。加える電圧は0.5V程度であり、完全に硫化させる。

上記のアノード分極による硫化方法以外に2つの硫化方法がある。硫化の第2の方法は、銅薄膜が形成された基板501を硫黄粉末とともにるつぽに入れ、窒素雰囲気のパーク炉において130度に加熱する。硫化中に銅薄膜の伝導度を測定することによって、硫化の程度を知ることができ、銅薄膜の硫化を制御よく行うことができる。銅薄膜の表面層だけが硫化されたところで、硫化を止める。硫化の第3の方法は、窒素で希釈した硫化水素中で、基板を120度から300度に加熱して行う。この場合も、銅薄膜の抵抗を測定することで、制御よく硫化を行うことができる。

または、銅薄膜を硫化して硫化銅を形成するのではなく、硫化銅を従来技術であ

るスパッタ法やレーザーアブレーション法で堆積させてもよい。固体電解質層506の領域以外が開口されたレジストマスクを用いて反応性イオンエッチング法により、固体電解質層506を形成する(図13(C))。

次に、銅をスパッタ法によって積層し、第2配線層504の領域以外が開口されたレジストマスクを用いて反応性イオンエッチング法により、第2配線層504を形成する。第1配線層504が銅であるため、イオン供給層507の作製は省いた。

最後に、500度程度まで温度を上げることによってノルボルネン系樹脂を分解して空隙を形成する(図13(D))。

素子作製の後、固体電解質層506と対向電極層間505に電圧±4Vを印加することによって、オフ状態からオン状態へ遷移するオン電圧、およびオン状態からオフ状態へ遷移するオフ電圧を±2V程度に設定する。電圧の設定は、使用目的によって適時変えることができる。

#### (第9の実施形態)

フィールド・プログラマブル・ゲート・アレイ(FPGA)で主に用いられているスイッチはアンチフューズ素子である。オン時の抵抗が小さいため、信号遅延が小さいことが特徴であるが、再プログラムができない。FPGAをプログラムする際に、デバッグができず、かつ動作中にプログラムを切り替えられない。

固体電解質スイッチは、電源を遮断してもオン状態あるいはオフ状態を保持できる。さらに、オン状態の抵抗は数百Ω以下と小さい。このことから、固体電解質スイッチは、FPGAの論理回路ブロックの接続、機能選択用のスイッチに最適であることがわかる。これまでに用いられているアンチフューズ素子は、再プログラムができないのに対して、固体電解質スイッチは10の6乗回までの再プログラムができることが発明者によって確かめられている。固体電解質スイッチは構造的が簡便で、原理上、原子サイズ程度の大きさでも動作可能である。そのため、従来の電気素子よりもはるかに微細化が可能である。

図11に本実施例による固体電解質スイッチを用いたFPGAの模式図を示す。

FPGAの基本単位は、論理回路ブロック601、配線602から604、配線の接続を切り替える固体電解質スイッチ605から成っている。

図 1 または図 2 の基板 0 1 または図 1 0 の基板 6 0 1 中に、論理ブロック 6 0 1 や周辺回路を形成し、第 1 から第 2 および第 9 の実施例のいずれかに記述されている固体電解質スイッチを基板 0 1 または基板 6 0 1 上に作製する。

#### 産業上の利用可能性

本発明によれば、固体電解質を用いた記憶装置を提供し、特に、集積化に有利な回路構成を有する記憶装置の構造とその製造方法を提供することができる。

## 請 求 の 範 囲

1. 固体電解質を用い、ラッチ機能を備えた固体電解質スイッチであって、絶縁膜上に第一の金属薄膜が配置され、

該第一の金属薄膜上に該第一の金属薄膜の金属イオンをキャリアーとする固体電解質が配置され、

該固体電解質上に空隙を介して第二の金属薄膜が配置されることを特徴する電気素子。

2. 請求項1の固体電解質スイッチにおいて、

絶縁膜上に第二の金属薄膜が配置され、

該第二の金属薄膜上に空隙を介して固体電解質が配置され、

該固体電解質上に該固体電解質のキャリアーの金属イオンを材料とする第一の金属薄膜が配置されていることを特徴とする電気素子。

3. 固体電解質を用いた固体電解質トランジスタであって、

絶縁膜上の金属薄膜の一部が、該金属薄膜の金属イオンをキャリアーとする固体電解質であり、

該固体電解質上に絶縁膜が配置され、

該絶縁膜上にゲート電極が配置され、

該ゲート電極に負の電圧を加えると、該金属薄膜中の金属が酸化されて金属イオンとなり該固体電解質中に移動することによってトランジスタがオフされ、逆に正の電圧を加えると、該固体電解質中の金属イオンが還元されて金属となり、もとの位置に戻ることにによって、トランジスタがオンすることを特徴とする電気素子。

4. 記憶装置の構成要素となる1つの記憶セルが、1つの電界効果トランジスタと1つの請求項1または2に記載の固体電解質スイッチから成り、

半導体基板表面に形成された電界効果トランジスタのドレイン領域上に請求項1または2に記載の固体電解質スイッチが配置され、

該固体電解質スイッチの第二の金属薄膜が共通接地線に接続され、

該電界効果トランジスタのソースが列アドレス線に接続され、

該電界効果トランジスタのゲートが行アドレス線に接続されることを特徴とする記憶装置。

5. 記憶装置の構成要素となる1つの記憶セルが、1つのダイオードと1つの請求項1または2に記載の固体電解質スイッチから成り、

半導体基板表面に形成されたダイオードの一方の電極上に請求項1または2記載の固体電解質スイッチが配置され、該固体電解質スイッチの第二の金属薄膜が行アドレス線に接続され、

該ダイオードの他方の電極が列アドレス線に接続されることを特徴とする記憶装置。

6. 記憶装置の構成要素となる1つの記憶セルが1つの請求項1または2に記載の固体電解質スイッチから成り、

半導体基板表面に形成された行アドレス線と接続される第一の金属薄膜の一部が、該第一の金属薄膜の金属イオンをキャリアーとする固体電解質であり、

該固体電解質と列アドレス線と接続される第二の金属薄膜と空隙を介して交差していることを特徴とする記憶装置。

7. 請求項1または2に記載の空隙を作製するために、フォトリソットの現像液およびフォトリソットの溶媒に不溶な材料を犠牲層として用いることを特徴とする電気素子の製造方法。

8. 請求項4から6のいずれかに記載の空隙を作製するために、フォトリソットの現像液およびフォトリソットの溶媒に不溶な材料を犠牲層として用いることを特徴とする記憶装置の製造方法。

9. 請求項7に記載のフォトリソットの現像液およびフォトリソットの溶媒に不溶な材料として、電子ビームレジストであるカリックスアレーン、クロロメチル化カリックスアレーン、またはポリスチレンを用いることを特徴とする電気素子の製造方法。

10. 請求項1または2に記載の第二の金属薄膜のうち空隙に接する部分に半導体薄膜が配置され、

固体電解質スイッチがオンした場合には、該半導体と金属の界面にショットキー障壁が形成され、整流作用が働くことを特徴とする電気素子。



1 1. 請求項 6 に記載の第二の金属薄膜のうち空隙に接する部分に半導体薄膜が配置され、

固体電解質スイッチがオンした場合には、該半導体と金属の界面にショットキー障壁が形成され、整流作用が働くことを特徴とする記憶装置。

1 2. 請求項 4 に記載の電界効果トランジスタに請求項 3 に記載の固体電解質トランジスタを用いることを特徴とする記憶装置。

1 3. 請求項 4 から 6 のいずれかに記載の記憶装置を絶縁膜でパッシベーションし、固体電解質中から析出する金属の酸化を防ぐことを特徴とする記憶装置の製造方法。

1 4. 請求項 1 から 3 のいずれかに記載の固体電解質が、銀イオン導電性固体電解質である硫化銀、ヨウ化銀、ヨウ化銀ルビジウム等、銅イオン導電性固体電解質であるプロモ化銅、硫化銅のいずれかであり、請求項 1 から 6 に記載の第二の金属が白金、タングステン、アルミ、金、銅、銀のいずれかであることを特徴とする電気素子。

1 5. 請求項 4 から 6 のいずれかに記載の固体電解質が、銀イオン導電性固体電解質である硫化銀、ヨウ化銀、ヨウ化銀ルビジウム等、銅イオン導電性固体電解質であるプロモ化銅、硫化銅のいずれかであり、請求項 1 から 6 に記載の第二の金属が白金、タングステン、アルミ、金、銅、銀のいずれかであることを特徴とする記憶装置。

1 6. 請求項 1 または 2 の固体電解質スイッチにおいて、

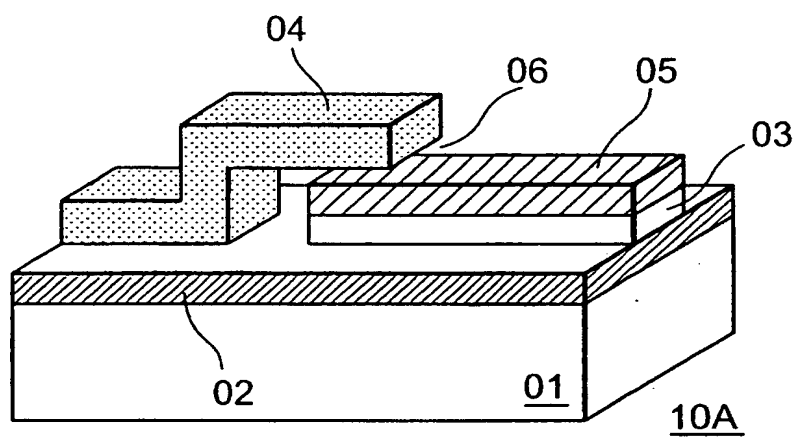
製造時に固体電解質層と対向電極層間に電圧を印加することによって、オフ状態からオン状態へ遷移するオン電圧、およびオン状態からオフ状態へ遷移するオフ電圧を制御することを特徴とする電気素子。

1 7. 請求項 1 または 2 の固体電解質スイッチを備えたフィールド・プログラマブル・ゲート・アレイであって、

論理ブロック間の配線のスイッチおよび論理ブロックの機能を選択するスイッチに固体電解質スイッチを用いることを特徴とする電気素子。

1/14

(A)



(B)

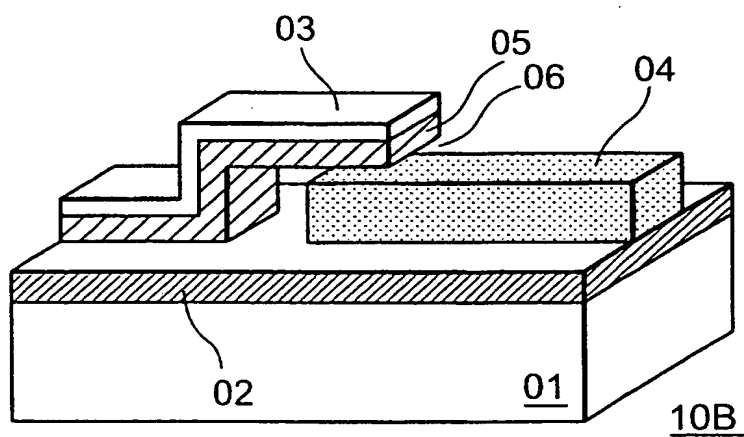


図 1

BEST AVAILABLE COPY

2/14

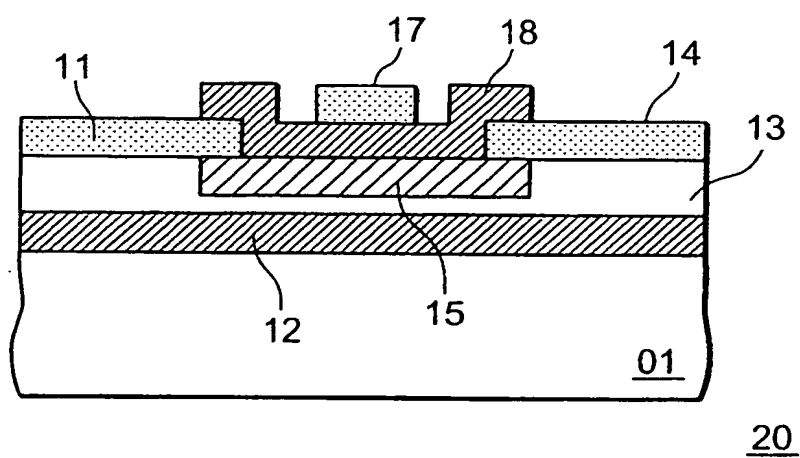
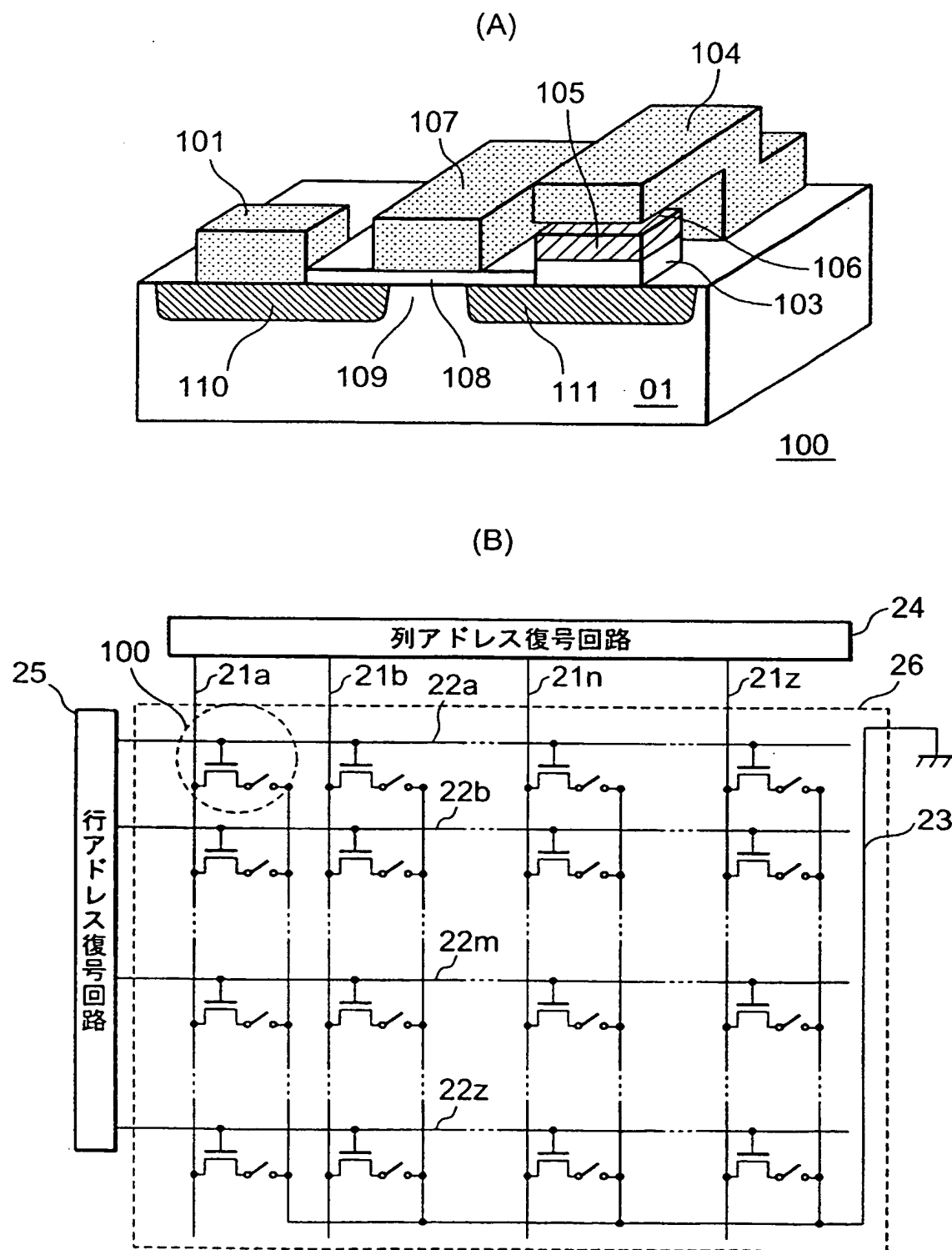
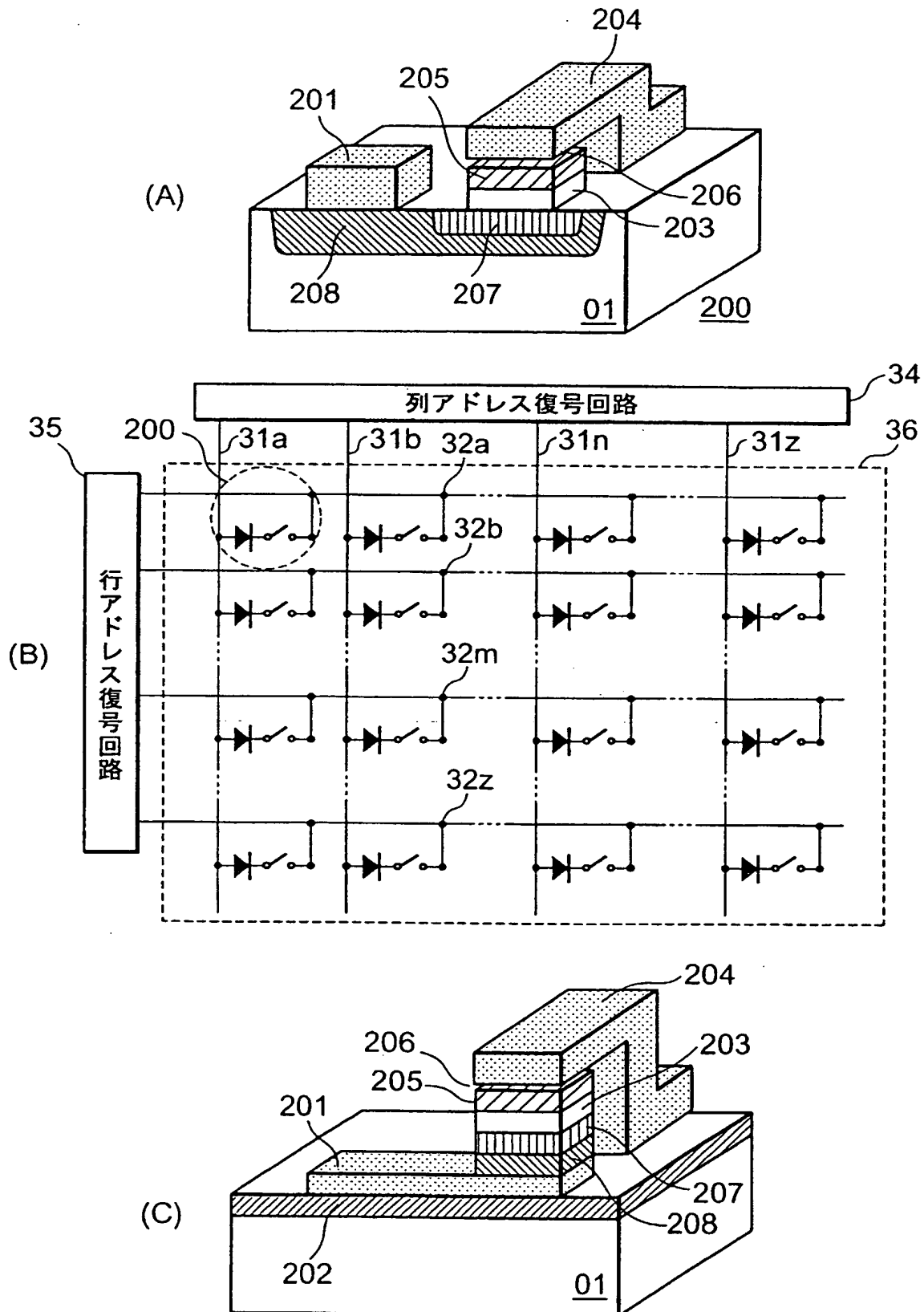


図 2

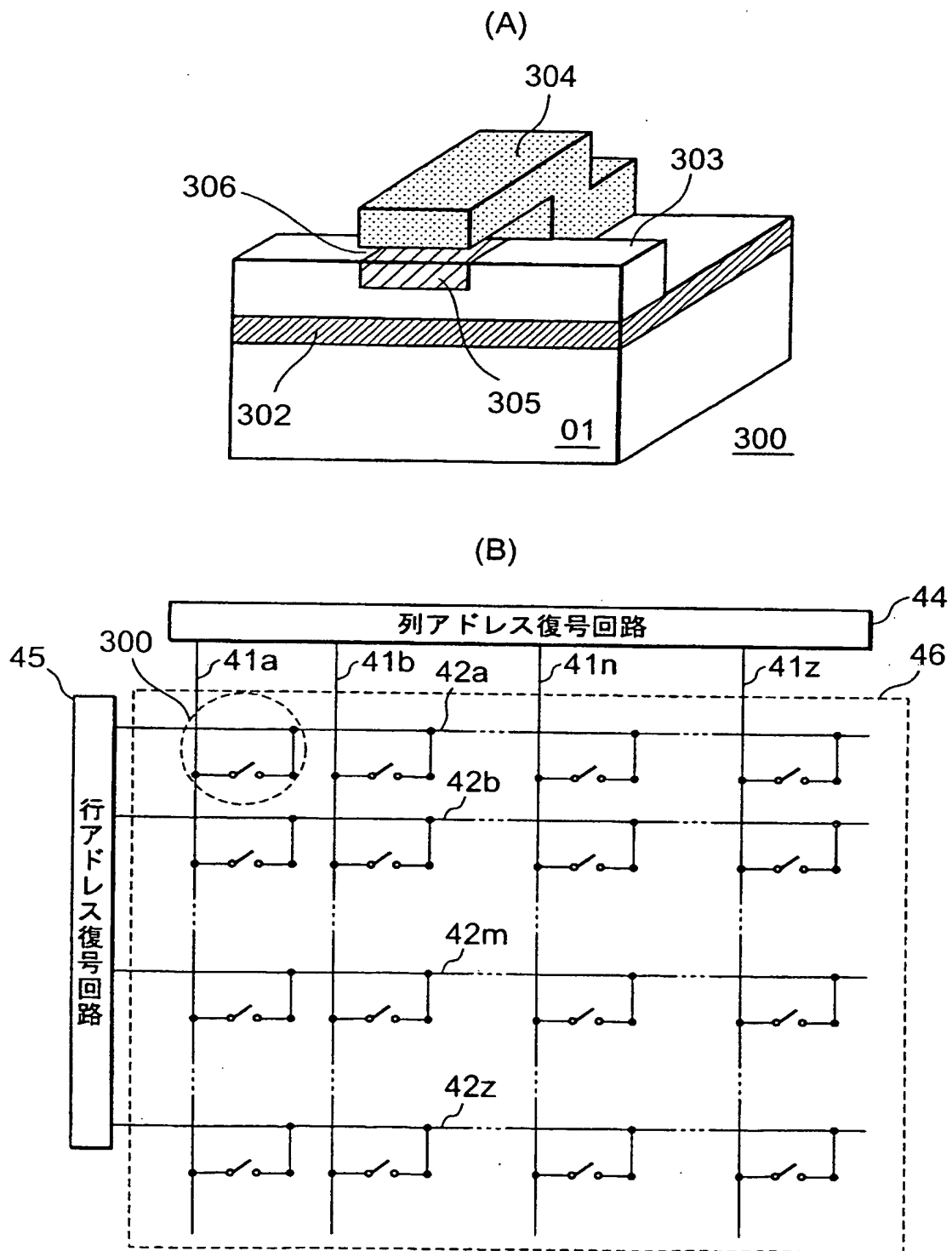
3/14



4/14

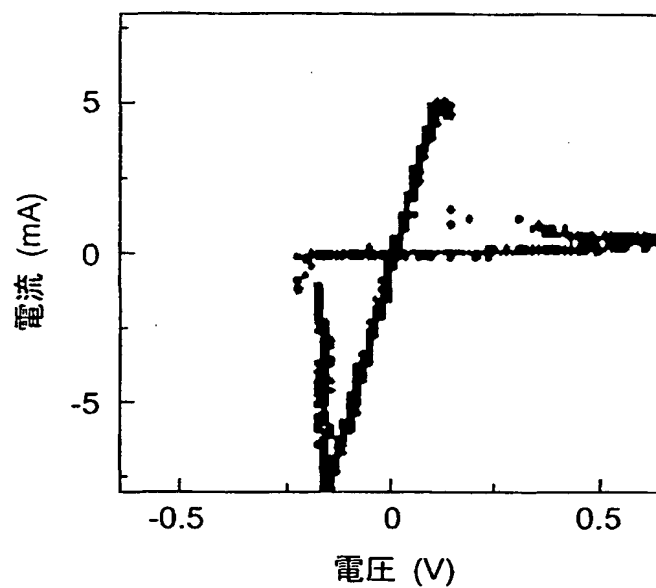


5 / 14



6/14

(A)



(B)

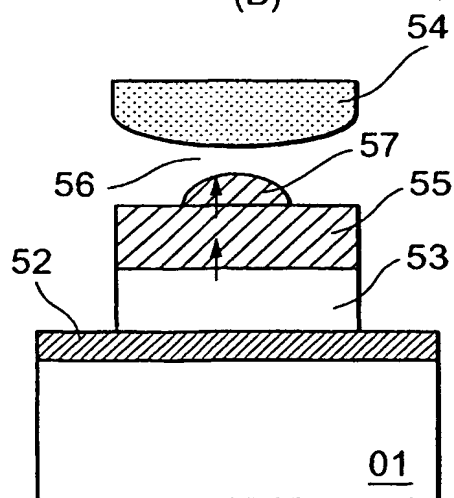


図 6

7/14

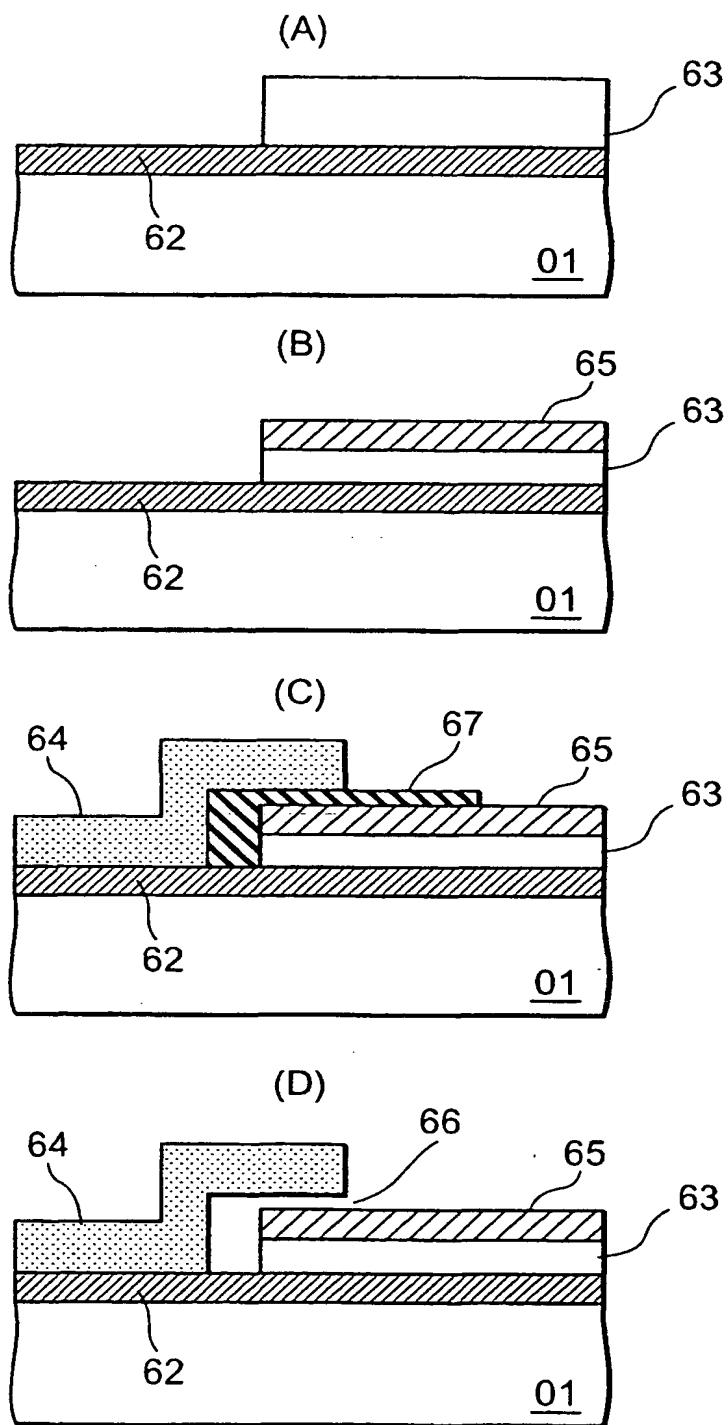


図 7

BEST AVAILABLE COPY



8/14

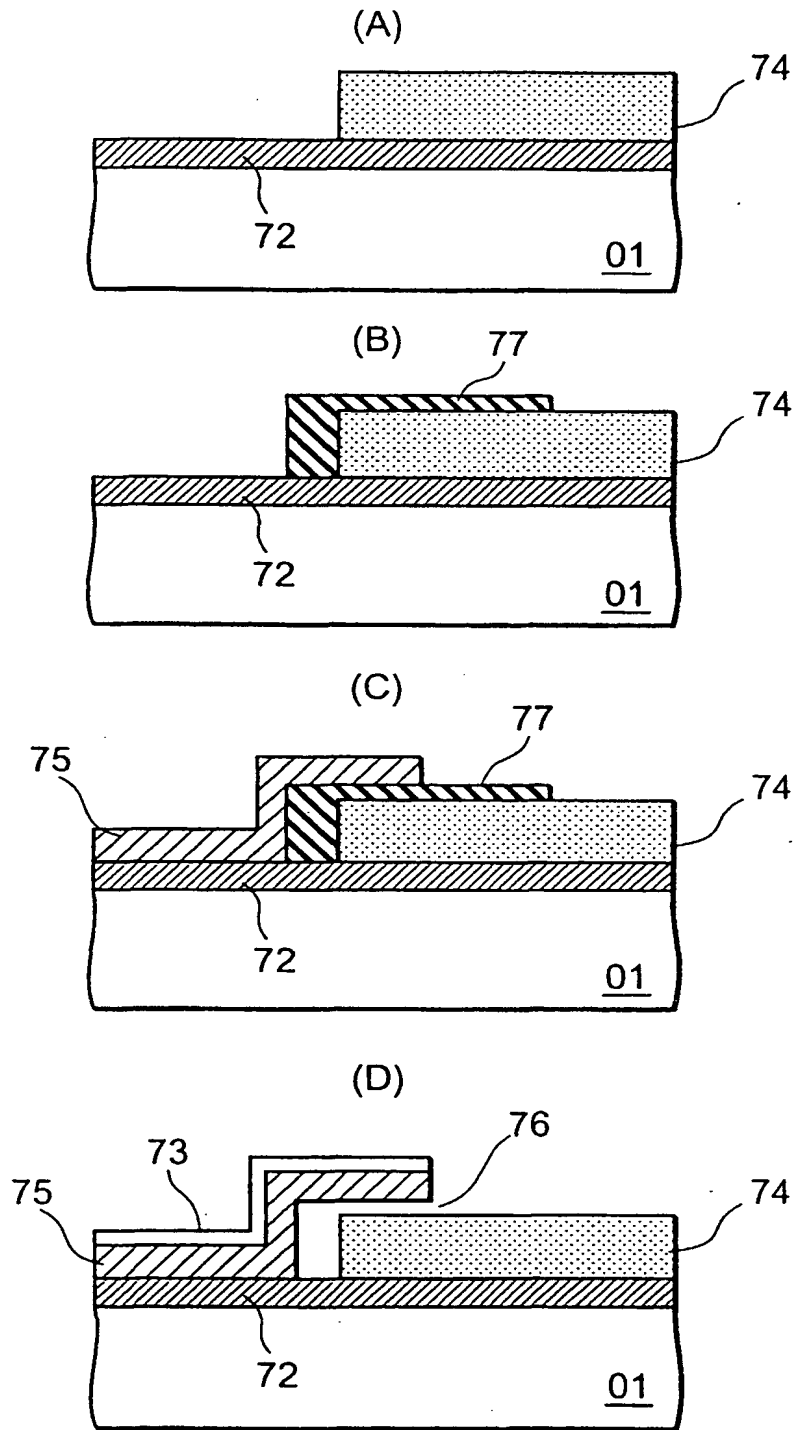
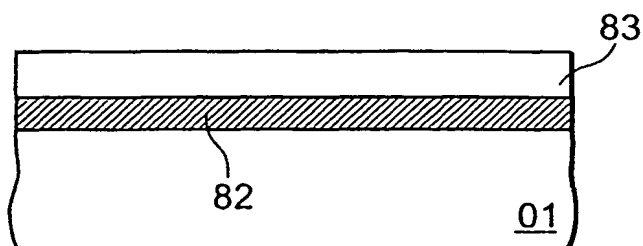


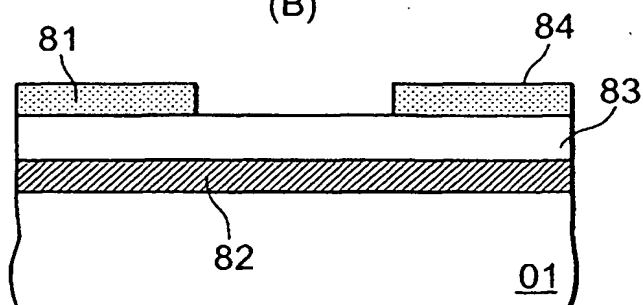
図 8

9/14

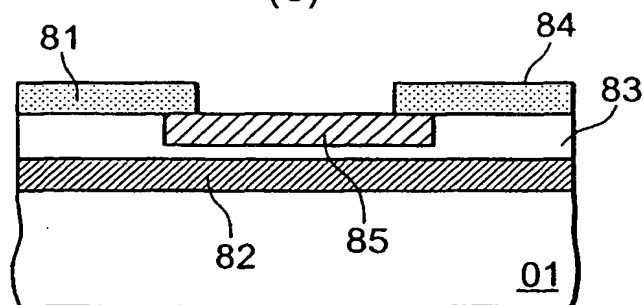
(A)



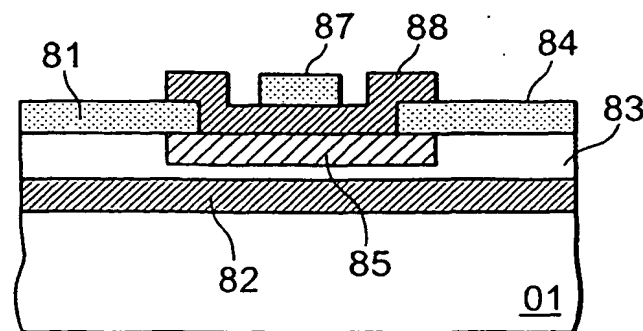
(B)



(C)



(D)



10/14

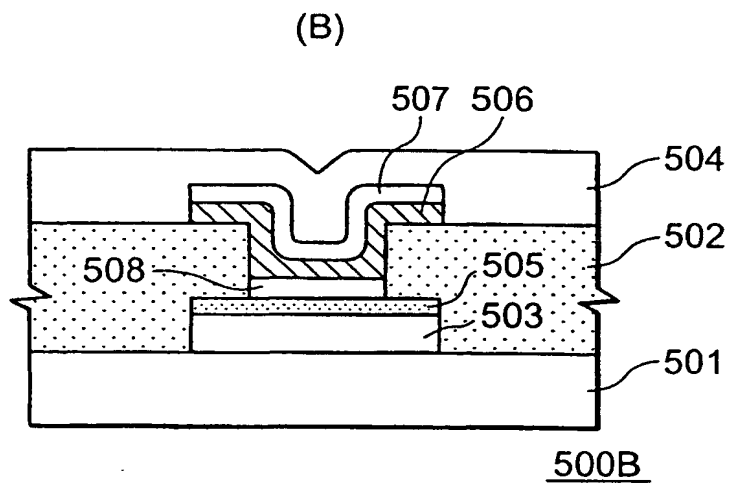
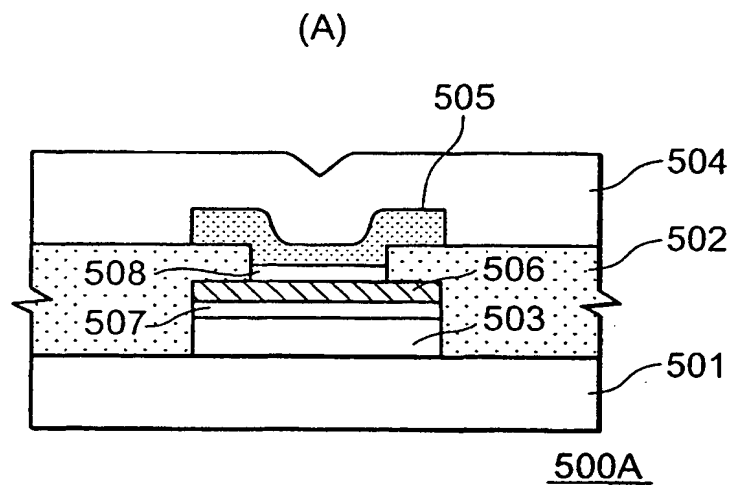


図 10

11/14

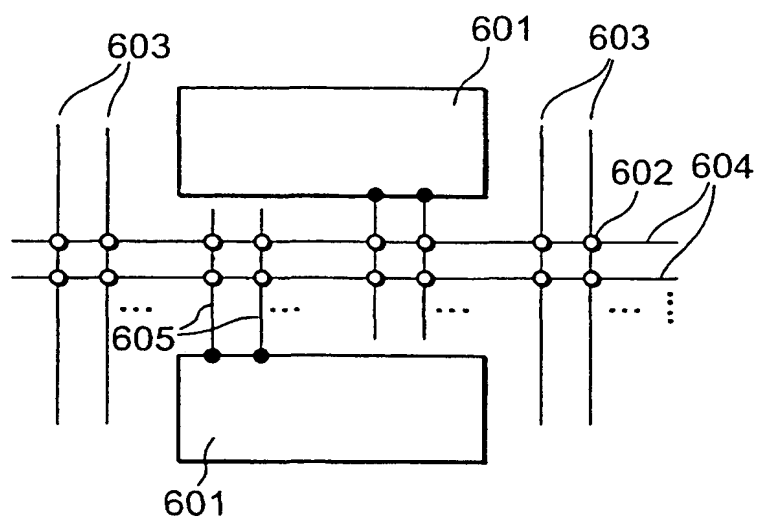


図 11

12/14

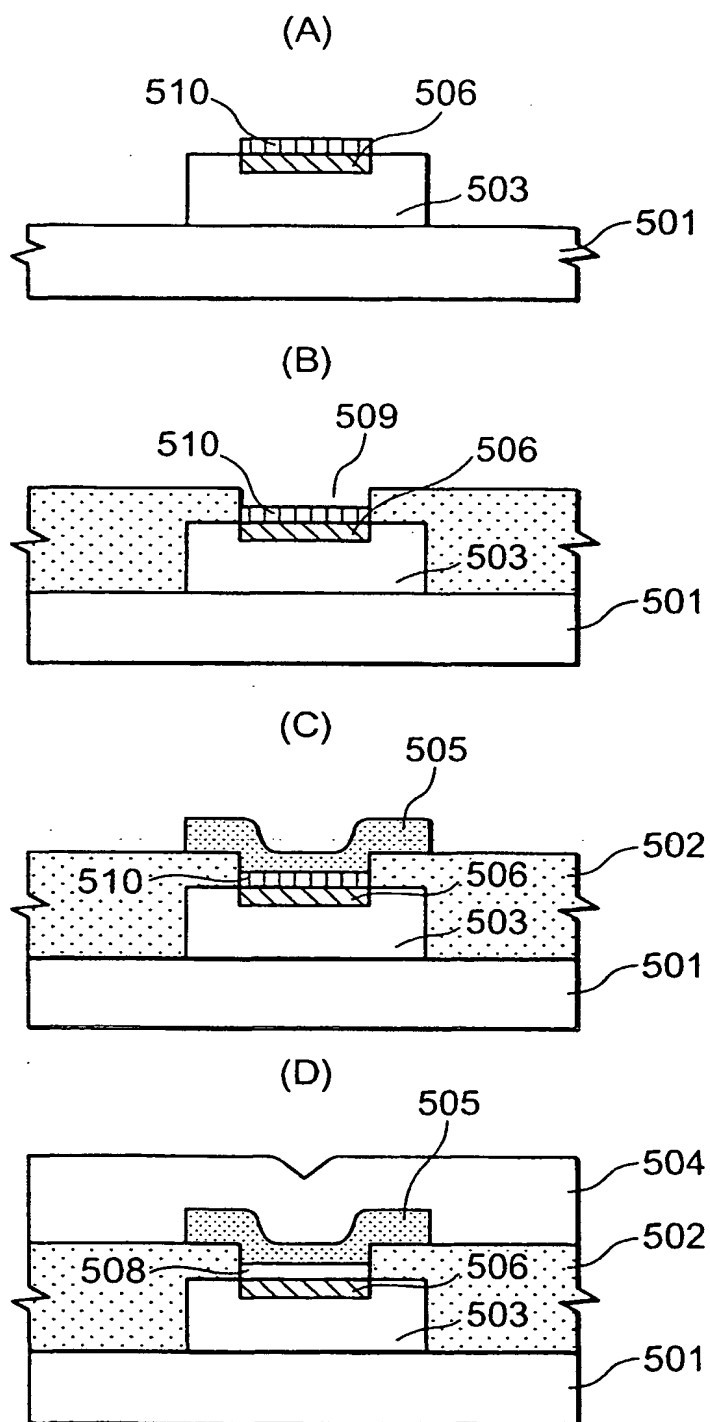
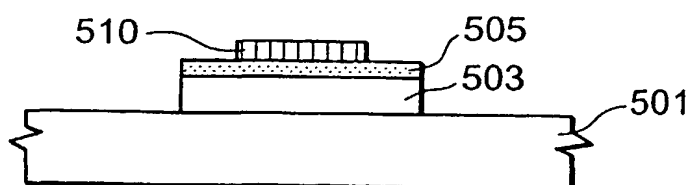


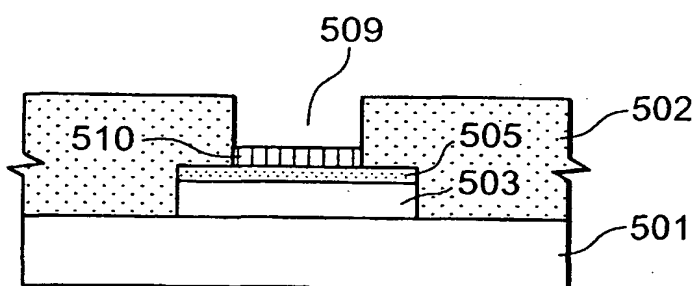
図 12

13/14

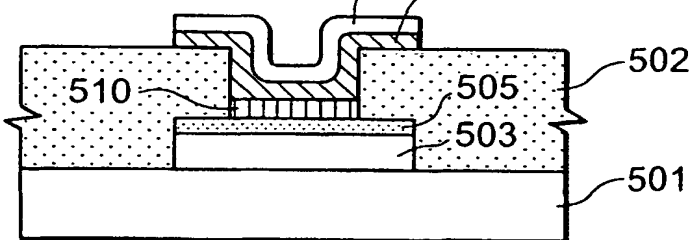
(A)



(B)



(C) 507 506



(D)

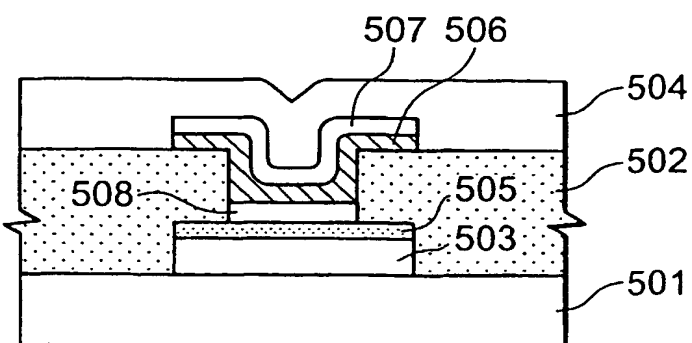
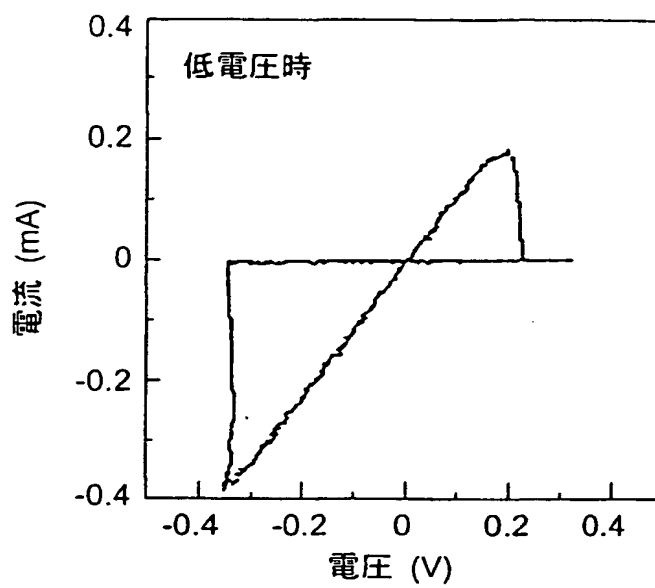


図 13

BEST AVAILABLE COPY

14/14

(A)



(B)

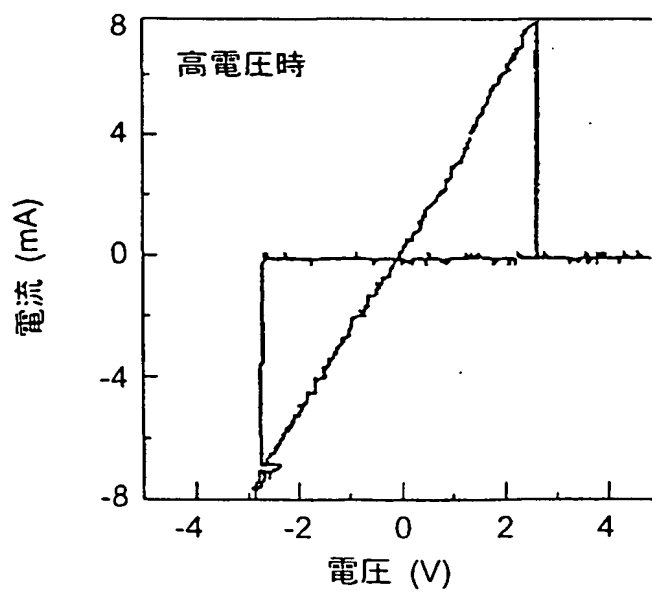


図 14

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09759

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L45/00, H01L27/10, H01L29/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L45/00, H01L49/00, H01L27/10, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2002  
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A P,A	TERABE, Kazuya et al., "Quantum point contact switch realized by solid electrochemical reaction", RIKEN Review, July 2001, No.37, pages 7 to 8  WO 02/21598 A1 (Japan Science and Technology Corp.), 14 March, 2002 (14.03.02), Full text; Figs. 1 to 10 & JP 2002-76325 A Full text; Figs. 1 to 10	1,2,6,14, 16,17 3-5,7-13,15  1-17
P,X P,A	WO 02/37572 A1 (Japan Science and Technology Corp.), 10 May, 2002 (10.05.02), Full text; Figs. 1 to 13 & JP 2002-141494 A Full text; Figs. 1 to 13	1,2,6,14, 16,17 3-5,7-13,15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
19 December, 2002 (19.12.02)

Date of mailing of the international search report  
14 January, 2003 (14.01.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L45/00, H01L27/10, H01L29/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L45/00, H01L49/00, H01L27/10, H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	TERABE, Kazuya et al., 'Quantum point contact switch realized by solid electrochemi cal reaction', RIKEN Review, July 2001, No. 37, p. 7-8	1, 2, 6, 14, 16, 17
A		3-5, 7-13, 15
PA	WO 02/21598 A1 (科学技術振興事業団) 2002. 03. 14, 全文, 第1-10図 & JP 2002-76325 A, 全文, 第1-10図	1-17

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

19. 12. 02

国際調査報告の発送日

14.01.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 恭一



4L

8122

電話番号 03-3581-1101 内線 3460

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	WO 02/37572 A1 (科学技術振興事業団) 2002.05.10, 全文, 第1-13図	1, 2, 6, 14, 16, 17
PA	& JP 2002-141494 A, 全文, 第1-13図	3-5, 7-13, 15